

低電力動画像符号化プロセッサ LSI

Low Power Video Codec Processor LSIs

情報工学専攻 小林伸彰
KOBAYASHI Nobuaki

概要

動画像符号化プロセッサ LSI の低電力化を目的に、動的電圧周波数協調 (Dynamic Voltage & Frequency Scaling; DVFS) 制御形動きベクトル検出 (Motion Vector Estimation; ME) プロセッサを開発した。DVFS 制御方式は回路の稼働率を常に 100% とし、時々刻々と変化する処理量に応じて回路に最適な周波数 (最適 f_c)、最適な電源電圧 (最適 V_D) を供給することで、処理量の 3 乗に比例して、動作時消費電力 (P_{AT}) を低減することができる。本 DVFS 制御形 ME プロセッサは差分絶対値和回路 (ADA)、最小値検出 (Minimum Value Detector; MVD) 回路、DVFS 制御回路、SRAM メモリ回路、PLL クロック発生回路、内蔵形 DC/DC コンバータより構成される。また、DVFS 制御方式による低消費電力化の効果を最大限に引き出すために、事前に処理量の予測が可能な “Adaptively Assigned Breaking-off Condition Search” (A²BCS) アルゴリズムを開発し、これを採用した [1]。A²BCS アルゴリズムは ME 処理におけるブロックマッチング (Block Matching; BM) 処理の過程において、動きベクトル値が変化せず、連続して一定となる処理サイクル数が、適応的に設定するサイクル数に達した時点で、動きベクトル検出を停止する。停止条件と処理量との間に相関があるため、処理を開始する事前に処理量を予測する事が可能であり、予測された処理量から最適な f_c と最適な V_D を事前に設定することが可能である。本アルゴリズムを H.264 に準拠したソフトウェアエンコーダに実装し、テスト画像 “Foreman” を用いて、符号化性能を解析した。本アルゴリズムの画質の指標である全フレームの平均ピーク SN 比 (平均 R_{sq}) は、37.428dB で、従来法の中で最も画質が良い全探索法 (37.459dB) のわずか 0.031dB の劣化に抑え、全探索法並みの画質を示した。また、速度の指標である、平均 BM 回数 (平均 N_b) は 46 回で、全探索法 (441) の約 9.59 倍高速化された。 “Foreman” を含めた 4 種類のテスト画像 “Coastguard”, “Akiyo”, “Sign Irene” (H.264, CIF データレート $R_d=384$ kbps, フレームレート $R_f=15$ fps, 探索窓サイズ $p=10$) の解析結果は “Foreman” と同じ傾向を示した。平均 R_{sq} は 32.819 ~ 47.157dB で、全探索法 (32.858 ~ 47.147dB) 並の画質であった。また、平均 N_b は 19 ~ 26 回で、全探索法 (441) の約 17.0 ~ 23.2 倍高速化された。

680 MHz, 1 V で動作する従来形プロセッサの総 P は 1,255.8 μ W {ADA の P_{AT} (1,170 μ W) と周辺回路の総 P (85.8 μ W) の和} である。一方、内蔵型 DC/DC コンバータ、ADA を搭載するプロセッサの総 P は 172.0 μ W {ADA の P_{AT} (86.2 μ W) と周辺回路の総 P (85.8 μ W) の和} (“Foreman” を符号化時) で、従来形プロセッサ 13.7% と、大幅に低減された。

キーワード: 動画像符号化 LSI, 90-nm, CMOS, 動きベクトル検出, MPEG-4/AVC, H.264, DVFS

1 はじめに

携帯機器向け動画像符号化 LSI, 特に、動きベクトル検出 (Motion Estimation; ME) のための差分絶対値和回路 (Absolute Difference Accumulator; ADA) の小形化と低電力化が重要である。中でも ME 処理の高速化は最も効率の良い低電力化手段である。我々はこれまでに全探索 (Full-Search; FS) に代わる各種高速 ME アルゴリズム、マルチステップ中断法 (MS-BOS) [2] 等を開発し、ブロックマッチング (Block Matching; BM) 回数、 N_b を大幅に削減してきた。この結果、ADA を大規模なアレイ形から小型な累算形へ置換えることができた [3]。

これまでに開発された高速 ME アルゴリズムは、予め設定された条件を満足した時、最適動きベクトルが検出されたとして処理を停止する。あらかじめ設定された条件には画質の指標である最小差分絶対値和等が用いられており、条件と処理量との間には相関がない。よって、設定された条件から処理量を予め予測することはできないため、これらを DVFS 制御に用いる事は出来ない。

図 1.1 (a) に現フレームにおける符号化対象マクロブロック (M-Blk) の最小差分絶対値和 $\{d(n)\}$ とブロックマッチング (BM) 回数 (n) の関係を示す。BM 処理では参照フレームの探索範囲 (Search

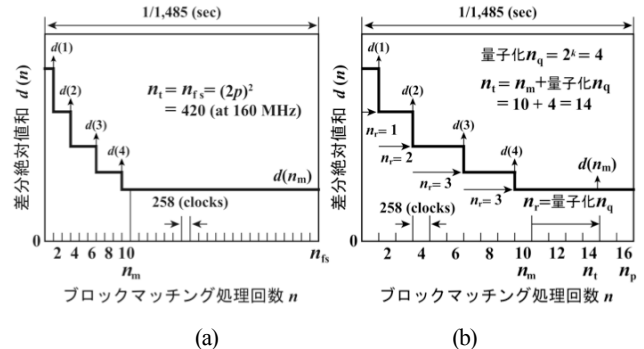


図 1.1 処理手順の推移. (a) 従来方法. (b) 提案方法.

Window; SW) の中心から外側に向かって渦巻き状に探索が行われる。 $d(n)$ は処理サイクル数が増える (n が増加する) とその値は更新され、 $n = n_m$ の時に最小値 $\{d(n_m)\}$ に到達する。この時点で BM 処理を停止できれば、FS と同一画質で高速な ME 処理が可能となる。しかしながら、実際には事前に n_m の値を予測することは不可能である。我々は、この問題を解決するために “Adaptively Assigned Breaking-off Condition Search (A²BCS)” を開発した。A²BCS アルゴリズムは各 M-Blk において、BM 処理の過程で、動きベクトル値が変化せず、連続して一定となる処理サイクル数が、適応的に設定するサイクル数に達した時点で、動きベクトル検出を停止する。停止条件より周波数と電圧を事前に設定することが可能である。本稿では、DVFS 制御への適用を可能とする ME アルゴリズム、A²BCS アルゴリズムの特性とこれを適用した DVFS 制御形 ME プロセッサの消費電力の削減効果について詳述する。

2 A²BCS アルゴリズム

2.1 DVFS 制御に適用可能な ME アルゴリズム

DVFS 制御では、稼働率 100% で、緩やかに (低 f_c で)、かつ低 V_D で動作させ、電力を削減する技術である。従って、処理可能な最大 BM 回数 (n_p) を事前に予測し、最適 f_c 、最適 V_D を適応的に設定する必要がある。しかし、 n_p を事前に予測することは難しい。そこで、図 1.1(b) に示すように、 $d(n)$ が更新された (減少した) 時点からの BM 回数 (n_q) を監視する。 $d(n)$ が頻繁に更新されている期間、つまり n_r が小さい場合、BM 処理は停止できない。そこで $d(n)$ がある「一定期間 (n_q)」継続して一定であれば、「以後、 $d(n)$ が更新される確率は低い」として、BM 処理を停止できる。次にこの n_q を定め、 n_r が n_q と一致した時点で、BM 処理を停止する。 n_q 値として、参照フレーム (1 フレーム前) で、かつ、対象 M-Blk と同位置の M-Blk で得られた n_m を n_q の値として用いれば、最適動作条件に近い条件で適応的に停止条件を設定することが可能となる。これは両 M-Blk が非常に類似している、と言う根拠に基づいている。しかし、 n_m 値が最適な n_q よりも小さめに設定される傾向があり、FS 並の画質を維持できない場合がある [1]。

より最適な n_q 値とするために、より新しい時間情報とより広い位置情報を反映させる必要がある。参照フレームのみでなく、現フレームで、対象 M-Blk の周囲、複数個の M-Blk で得られる情報 (各 M-Blk の n_m) を用いることにより、これを実現する。次に、使用する全 M-Blk の n_m の内、最大の n_m (Max n_m) を用いて、 n_q を設定することにより、 n_q の値を増加して、前述の欠点を解消する。Max n_m が 2^k と 2^{k+1} の間にある時、 n_q を量子化して 2^k (量子化 n_q) に、 n_p を 2^{k+1} に設定する。このアルゴリズムを adaptively assigned breaking-off condition search (A²BCS) と呼ぶ [1]。A²BCS の結果を用いて、最適 f_c 、最適 V_D を n_q に比例して設定する。一例として、 k が 4 ~ 7 の場合を表 2.1 に示す。これで ME アルゴリズムと DVFS 制御との間に相関関係ができ、両者を併用することが可能となる。

2.2 A²BCS の特性

表 3.1 量子化 n_q , 最適 f_c , 最適 V_D , 処理可能な最大 BM 回数 (n_p), P_{AT}

量子化 n_q (回)	最適 f_c (MHz)	最適 V_D (V)	n_p (回)	P_{AT} (μW)
$2^8=256$	680	1.00	450	1,111
$2^7=128$	340	0.60	225	344.1
$2^6=64$	170	0.50	112	146.1
$2^5=32$	85	0.45	56	65.15
$2^4=16$	43	0.40	28	26.12

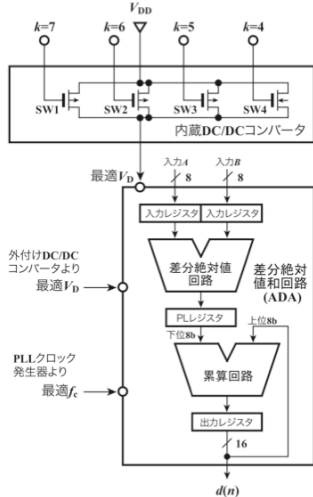


図3.5 差分絶対値和回路と内蔵 DC/DC コンバータ。

一つの対象 M-Blk の処理が完了すると、次の対象 M-Blk の動きベクトル検出準備に入る。まず、SRAM より複数個の n_m を読み出ししながら、Max CMP がサイクリックに Max n_m を求める。Max n_m を QNT に入力すると、下式；

$$2^{k+1} > \text{Max } n_m \geq 2^k$$

に従って、量子化 $n_q (=2^k)$, $n_p (=2^{k+1})$ が決る。ただし、本稿では、 n_p は各 f_c で処理できる最大の BM 回数とした (表 3.1)。次に、 k 値より最適 f_c と最適 V_D が決定される (表 3.1)。具体的には k 値に対応して QNT がフラグを発生し、フラグに従って内蔵 DC/DC コンバータが最適 V_D を、PLL クロック発生器が最適 f_c を、ADA へ送出する。同時に、MVD の B-Reg が送出する n_m が SRAM に格納される。

3.3 差分絶対値和回路と内蔵 DC/DC コンバータ

ADA は予測誤差としての差分絶対値和 $\{d(n)\}$ を求める回路である。2 段パイプライン ADA と内蔵 DC/DC コンバータを図 3.5 に示す。ADA は 1 画面分のデータの差分絶対値を得る 8b 差分絶対値回路と 1 M-Blk 分 (256 画面分) の差分絶対値を累算する 16b 累算回路の 2 段パイプライン構成である [3]。累算回路の下位 8b は 8b RCA で、上位 8b は 8b アップカウンタで、構成される。アップカウンタは 7b 目の桁上げ信号をカウントするだけでよい、高速である、等の理由から採用されている。

電力供給は内蔵 DC/DC コンバータ (第 5.1 節) と外付け DC/DC コンバータ (第 5.2 節) の 2 系統がある。内蔵 DC/DC コンバータはチャネル幅の異なる 4 個の MOSFET スイッチ (SW1~4) で構成される極めて小形な回路である。量子化 $n_q (=2^k)$ に対応してスイッチが閉じると、最適 V_D (表 3.1) が ADA に供給される。最適 V_D は V_{DD} からスイッチの電圧降下分を差し引いた電圧である。

図 3.6 に本 ADA の動作時消費電力 (P_{AT}) とクロック周波数 (f_c) の関係を示す。○は V_{DD} を 1V に固定した場合、ADA 本体の P_{AT} は f_c に比例する。□は V_{DD} を 1V に固定した場合、ADA 本体の P_{AT} と内蔵 DC/DC コンバータの P_{AT} との和である。従って、ADA 本体への V_D は内蔵 DC/DC コンバータより供給される。 V_D が f_c に比例して設定されれば、ADA 本体のみの P_{AT} は f_c の 2 乗に比例する。しかし、□では V_D として最適 V_D (表 3.1) を用いており、かつ内蔵 DC/DC コンバータの P_{AT} を含むので、正確には f_c の 2 乗に比例している、とは言えない。

4 動作タイミングと周波数・電圧を設定

4.1 従来法

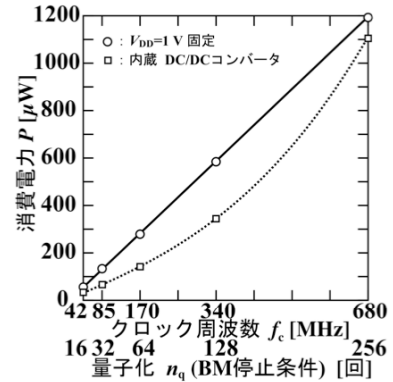


図 3.6 差分絶対値和回路の動作時消費電力 (P_{AT})。

図 1.1(a) に一つの対象 M-Blk に対するブロックマッチング (BM) 処理のタイミングを示した。第 2.3 節の条件で、かつ ADA に供給するクロックの周波数 (f_c) を 680 MHz とする。FS を用いる場合、1 M-Blk 当たり、周期は約 167 μ 秒、処理可能な最大 BM 回数は最大で 441 回、BM 周期は 0.4 μ 秒、1 回の BM 当たりのクロックサイクル数は 258 回である。FS では、420 個の $d(n)$ の中から $d(n_m)$ を動きベクトルとして求める。一方、CZS [5] 等では、 $d(n_m)$ が検出された時点 (n_m 回目) で、ADA を停止する。なお、この f_c を維持するために、 V_{DD} も一定に維持する必要がある。

4.2 A²BCS アルゴリズムと DVFS 制御

第 2.3 節の条件で、A²BCS アルゴリズムと DVFS 制御を用いる場合、1 M-Blk 当たりの周期 (約 167 μ 秒)、1 BM 処理当たりのクロックサイクル数 (258 回) は FS と同一である。一方、1 M-Blk 当たりの BM 回数が大幅に削減され、かつ 1 M-Blk 当たりの周期は約 673 μ 秒で固定されているため、BM 周期は大幅に長くなる。この結果、ADA に供給される f_c , V_D も大幅に削減され、表 3.1 に示す最適 f_c , 最適 V_D に設定される。

図 1.1(b) に一つの対象 M-Blk に対する BM 処理のタイミングを示した。A²BCS アルゴリズムでは、1 回目、2 回目、 \dots , n 回目の BM で、それぞれ差分絶対値和 $d(1)$, $d(2)$, \dots , $d(n)$ を算出し、BM 周期 (258 クロックサイクル分) 毎に出力する。 $d(n)$ が一定である回数 (n_p) が量子化 $n_q (=2^k)$ と一致した時点で、BM 処理を終了する。この時の BM 回数 (n_p) は n_m と量子化 n_q の和であり、 $d(n_m)$ と量子化 n_q は $d(n_m)$ と等しい。また、ADA の稼働率はほぼ 100% となる。対象 M-Blk 毎に、BM 処理が終了すると、3.2 節で述べたように、次の対象 M-Blk に対して、 n_q , n_p , 最適 f_c , 最適 V_D が決定される。

5 消費電力

プロセッサが動作する基本周波数は 680 MHz である。このうち特に P_{AT} が大きい ADA に DVFS 制御を適応し、動的に最適 f_c , 最適 V_D を供給することにより、 P_{AT} の大幅削減を図る。一方、周辺回路は 680 MHz で動作するが、動作回数 (稼働率) が極めて低いので、ゲートクロック技術によりクロックを止め、 P_{AT} の削減を図っている。また、クロック停止期間 (待機期間)、各回路に内蔵されているリーク電流削減回路 [8] により、リークを低減している。以下では周辺回路の P , DVFS 制御形プロセッサ全体の P を示す。

5.1 ADA と内蔵形 DC/DC コンバータ

最適 V_D は内蔵および外付け DC/DC コンバータのいずれからも供給可能である。ここでは内蔵 DC/DC コンバータから供給する場合を述べる。外付け DC/DC コンバータから供給する場合については参考文献 [3] で詳細に述べられている。

各 M-blk 毎に設定された量子化 n_q (図 2.2(b)) に従って、最適 f_c , 最適 V_D がそれぞれ PLL クロック発生回路、内蔵 DC/DC コンバータから ADA へ動的に供給される V_D (表 3.1)。“Foreman”, 140 フレーム目、396 個の M-blk に対する各 M-blk の最適 f_c , 最適 V_D をそれぞれ図 5.1(a), (b) に示す。図 2.2(b) に示した量子化 n_q に対応して、最適 f_c , 最適 V_D が動的に設定されている様子がわかる。処理可能な最大 BM 回数 (n_p) (黒) と n_m (灰) を図 5.1(c) に重ねて示す。量子化 n_q に対応して、 n_p も動的に設定されている。 n_m は $d(n)$ が最小となる、つまり最適動きベクトルが検出される n である。従って、FS 並の画質を補償するためには、 n_m は n_p より常に小さな値に設定されていなければならない。図 5.1(c) から明らかなように、全ての M-blk でこの条件を満足しており、DVFS の導入による画質劣化による問題はない、と言える。図 5.1(d) に M-blk 毎に消費する ADA の P_{AT} と内蔵 DC/DC

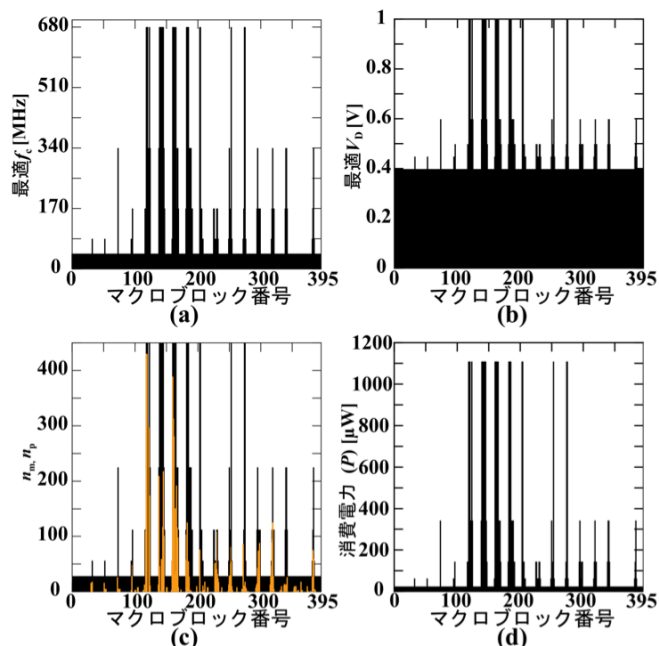


図 5.1 最適 f_c , 最適 V_D , 処理可能な最大 BM 回数 (n_p), n_m , 動作時消費電力 (P_{AT}). (a) 最適 f_c , (b) 最適 V_D , (c) n_p と n_m , (d) P_{AT} .

コンバータの P_{AT} との和を示す。最小の P_{AT} が 26.12 μW , 最大の P が 1,111.0 μW である。FS の各 M-blk の P_{AT} が常に 1,170.0 μW であるのに対して, DVFS 制御の適応により, P_{AT} が大幅に削減されていることがわかる。

全 P ピクチャ (300 フレーム分) の 1 M-blk 当たりの平均 P_{AT} は, FS を用いた従来方式が 1,170.0 μW , A²BCS と DVFS 制御を併用した提案方式が 86.2 μW であった。従来方式と比べ, 提案方式の平均 P_{AT} は 7.37% へ大幅に低減されている。“Foreman”以外のテスト画像についても同様な結果が得られた。各テスト画像の平均 P_{AT} は “Coastguard” が 29.6 μW , “Akiyo” が 29.5 μW , “Sign Irene” が 43.8 μW で, 従来方式と比べ, それぞれ 2.53%, 2.52%, 3.74% に低減されている (表 5.1)。

5.2 周辺回路の消費電力

周辺回路は 680 MHz で動作する。各回路が 100% 稼働している時, 総 P は約 9 mW である。しかし, 周辺回路の稼働率は極めて低いため, 動作時平均 P_{AT} は 83.4 μW と極めて小さく抑えられている (表 5.2)。

これに対して, 待機期間が極めて長いので, この間のリーク電流が問題になる。Self-controllable Voltage Level (SVL) 回路と呼ぶ, MOSFET スイッチ 2 個で構成されるリーク電流削減回路 [3] を各周辺回路, SRAM に搭載し, リーク電流を大幅に削減している。SVL 回路は, 動的にしきい値を増加し, 同時に DIBL 効果と内部電界を緩和して, リーク電流を大幅に低減できる回路である。さらに, 待機時にデータ保持も出来るのでメモリやフリップフロップに適用可能である。SVL 回路の効果により, 各周辺回路の待機時消費電力 (P_{ST}) は小さい (表 5.3)。周辺回路の総 P_{ST} は 2.4 μW で, SVL 回路を適用しない場合の約 4.9% である。

これより周辺回路の総 P ($=P_{AT}+P_{ST}$) は 85.8 ($=83.4+2.4$) μW となる。なお, チップ内全モジュールに共通の内蔵 PLL クロック発生回路やチップ全体を制御する回路の電力は上記に含めていない。

5.3 DVFS 形プロセッサの総消費電力

680 MHz, 1 V で動作する従来形プロセッサの総 P は 1,255.8 μW {ADA の P_{AT} (1,170 μW) と周辺回路の総 P (85.8 μW) の和} である。一方, 内蔵型 DC/DC コンバータ, ADA を搭載するプロセッサの総 P は 172.0 μW {ADA の P_{AT} (86.2 μW) と周辺回路の総 P (85.8 μW) の和} (“Foreman”を符号化時) で, 従来形プロセッサ 13.7% と, 大幅に低減される (表 5.4)。

6 おわりに

動的電圧周波数協調 (DVFS) 制御形プロセッサを開発し, 消費電力を従来形プロセッサの約 7.42% に低減出来ることを示した。DVFS 制御を可能とするためには, DVFS 制御が適用可能なアルゴリズムの開発, 動作条件検出方法と最適クロック周波数, 最適供給電圧を設定する回路の開発, が必須である。また, 最適電圧を供給する小

表 5.1 動作時消費電力 (P_{AT}) [μW] .

		消費電力 [μW]	[%]
DVFS	従来方式	1,170.0	100.00
	“Foreman”	86.2	7.37
	“Coastguard”	29.6	2.53
	“Akiyo”	29.5	2.52
	“Sign Irene”	43.8	3.74

表 5.2 各回路の動作時消費電力 (P_{AT}) [μW]. $f_c=680$ MHz, $V_{DD}=1$ V.

	MVD	DVFS-C	SRAM	計
平常動作	2,953.0	762.3	5,256.0	8,972.3
CG/PG 方式	12.3	6.3	64.8	83.4

表 5.3 各回路の待機時消費電力 (P_{ST}) [μW]. $V_{DD}=1$ V.

	MVD	DVFS-C	SRAM	計
SVL 無し	10.6	5.2	28.6	44.4
SVL 付き	0.7	0.3	1.4	2.4

表 5.4 プロセッサの総消費電力 (P) [μW]. $V_{DD}=1$ V.

	従来	DVFS 制御形
ADA	1,170.0	86.2
周辺回路	85.8	85.8
総計	1,255.8	172.0
従来比 [%]	-	13.7

形 DC/DC コンバータの開発, 小形リーク電流削減回路の搭載, も必須である。以上, ここで述べた技術は LSI の低電力化に欠かせない有望な技術である。

謝辞

学部 4 年次, 大学院博士前期課程の 2 年間および教育技術員としての 4 年間, そして今現在の大学院博士後期課程において, 研究, 開発, 論文執筆, 論文発表, 講義等を含め, 榎本忠義教授より長きに渡り, 誠心誠意, 熱心にご指導頂いた。ここに, 心より感謝の意を表し, 御礼申し上げます。また, お世話になった学科教職員の皆様, 榎本研究室の関係諸氏に深く謝意を表したい。

また, 本博士論文の審査にあたり副査としてご尽力いただいた本学情報工学科, 古屋清教授, 松井知己教授, 東京大学の高宮真准教授, 理工学研究所, 理工学部事務室の皆様にも深く御礼申し上げます。共同研究プロジェクトでは, リサーチ・アシスタントとして電気電子情報通信工学科の山村清隆教授, ならびに, 山村研究室の関係諸氏にお世話になった。また, 山村清隆教授には副査としてもご尽力いただいた。ここに御礼申し上げます。

尚, 90-nm CMOS のチップ試作は東京大学大規模集積システム設計教育センター (VDEC) を通し, 株式会社 先端 SoC 基板技術開発 (ASPLA) および株式会社 半導体理工学研究センター (STARC) の協力で行われたものである。

参考文献

- [1] N. Kobayashi and T. Enomoto, “A Low Power 90-nm CMOS Motion Estimation Processor Implementing Dynamic Voltage and Frequency Scaling (DVFS) and Fast Motion Estimation Algorithm”, in Proc. of International Symposium on Circuits and Systems (ISCAS’2008), in, Seattle, Washington, USA, B3L-B.2, pp. 1672-1675, May. 2008.
- [2] T. Enomoto, N. Kobayashi and T. Ei, “A Multiple Block-matching Step (MBS) Algorithm for H.26x/MPEG4 Motion Estimation and a Low-Power CMOS Absolute Differential Accumulator Circuit”, IEICE Tran. on Electronics, vol. E90-C, no. 4, pp. 718-726, April 2007.
- [3] N. Kobayashi, T. Ei and T. Enomoto, “Low Dynamic Power and Low Leakage Power Techniques for CMOS Motion Estimation Circuits”, IEICE Tran. on Electronics, vol. E89-C, no. 3, pp. 271-279, Mar. 2006.
- [4] T. Enomoto and N. Kobayashi, “A Large “Read” and “Write” Margins, Low Leakage Power, Six-Transistor 90-nm CMOS SRAM”, IEICE Tran. on Electronics, vol. E94-C, no. 4, pp., April 2011.
- [5] A. M. Tourapis and O. C. Au, “Fast motion estimation using modified circular zonal”, Proc. of Int. Symp. on Circuits and Systems (ISCAS’99), vol-IV, pp. 231-234, in Orlando, Florida, May/June 1999.
- [6] T. Enomoto, Y. Oka, and H. Shikano, “A Self-Controllable Voltage Level (SVL) Circuit and Its Low-Power, High-Speed CMOS Circuit Applications”, IEEE Jour. of Solid-State Circuits, vol. 38, no. 5, pp. 1220 - 1226, July 2003