

磁界の分布を考慮してダミーフィルを最適に配置したオンチップ・スパイラルインダクタの設計手法

江川遼介

杉本泰博

**Journal of the Institute of Science  
and Engineering**

**CHUO UNIVERSITY**

**Vol.16 2010**

.....  
中央大学理工学研究所論文集 第16号 2010年

# 磁界の分布を考慮してダミーフィルを最適に配置したオンチップ・スパイラルインダクタの設計手法

江川 遼介\*      杉本 泰博†

## The Optimized Dummy-Fill Placement Scheme for an On-chip Spiral Inductor

Ryosuke Egawa\*, Yasuhiro Sugimoto†

### abstract

An optimized dummy-fill placement scheme for an on-chip spiral inductor has been proposed. The influence of the dummy-fill size, magnetic strength and magnetic distribution in the vicinity of inductor wires, and the additional stray capacitance between the inductor wires and the silicon substrate on Q-factor (Quality factor) frequency characteristics has been clarified. The proposed layout pattern of the on-chip spiral inductor has regulated the placement of dummy fills. The forbidden area for dummy-fill placement ranges from 10  $\mu\text{m}$  on the outside to 15  $\mu\text{m}$  on the inside of the inductor wires. There are no dummy fills even underneath the inductor wires. The test chip was fabricated by using a 0.18- $\mu\text{m}$  CMOS process with five metal layers. Experimental results show that the proposed scheme involves no degradation of the peak Q-value or the self-resonant frequency compared with an on-chip inductor without dummy fills.

## 1 はじめに

現在, LSI プロセスの微細化が進んでおり, 配線が多層化している. そのために配線層の表面を平坦にすることが必要になるが, 一般的には化学機械研磨 (CMP) が用いられる. しかし, CMP は Dishing や Thinning 等の凹凸が生じる原因となる. それらを避けるために, ある一定の面積内にプロセスで決められた密度でダミーフィルが配置される. ダミーフィルは配線層において配線のない領域が均一に研磨されよう配置される金属であり, 先端 LSI プロセスではダミーフィルが自動的に配置されるように標準化されている [1], [2], [3].

オンチップ・スパイラルインダクタは高周波回路で広く用いられており, シリコン基板でのうず電流損を避けるために基板から最も離れた配線層で作られる. しかし, Fig.1 に示すようにダミーフィルはスパイラルインダクタの内側, 外側, 下側に配置され, オンチップ・スパイラルインダクタの性能を表す Q 値が低下するという問題が生じる [4].

過去の文献よりダミーフィルの大きさを小さくするとダミーフィル内で発生するうず電流損も小さくなること, コンデンサをインダクタの下に配置しても LC 発振器の動作に強い影響を与えないことがわかってい

\*中央大学大学院理工学研究科電気電子情報通信工学専攻 東京都文京区春日 1-13-27

†中央大学理工学部電気電子情報通信工学科 東京都文京区春日 1-13-27

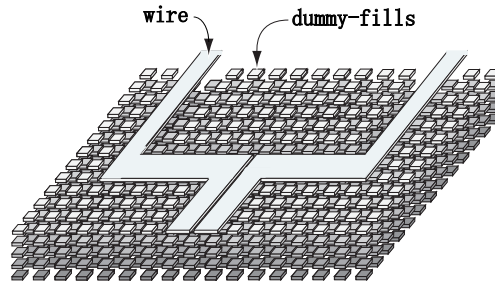


Fig 1: Layout of a spiral inductor with dummy fills.

る [5]. また, インダクタの下に金属が置かれるとスパイラルインダクタとシリコン基板の間の寄生容量を増加させることがわかっている [6].

本研究はダミーフィルが小さくてもインダクタ配線近傍に配置されることでうず電流損が生じること,  $Q$  値の最大値が低下する主な原因が自己共振周波数の低下のためであることを明らかにした. また, インダクタ近傍での磁界の強さと向きを, 計算と電磁界シミュレーションの2つの方法を用いて検討した. 次にインダクタ配線下にあるダミーフィルによって増加した寄生容量の影響についても検討した. その結果, うず電流損, 寄生容量, 磁界の強さを考慮したダミーフィル配置手法を提案した. 5層の  $0.18\text{-}\mu\text{m}$  CMOS プロセスを使用したスパイラルインダクタを測定し,  $\pi$  型等価モデル [7] におけるパラメータを評価することにより提案するダミーフィル配置手法の有効性を確かめた.

## 2 インダクタの性能低下の原因

オンチップ・スパイラルインダクタは高周波回路で用いられるが, このとき動作周波数で高い  $Q$  値を持つかどうかが問題となる. したがって  $Q$  値の低下を最小に抑えるようにスパイラルインダクタに対するダミーフィルの影響を解析しなければならない.

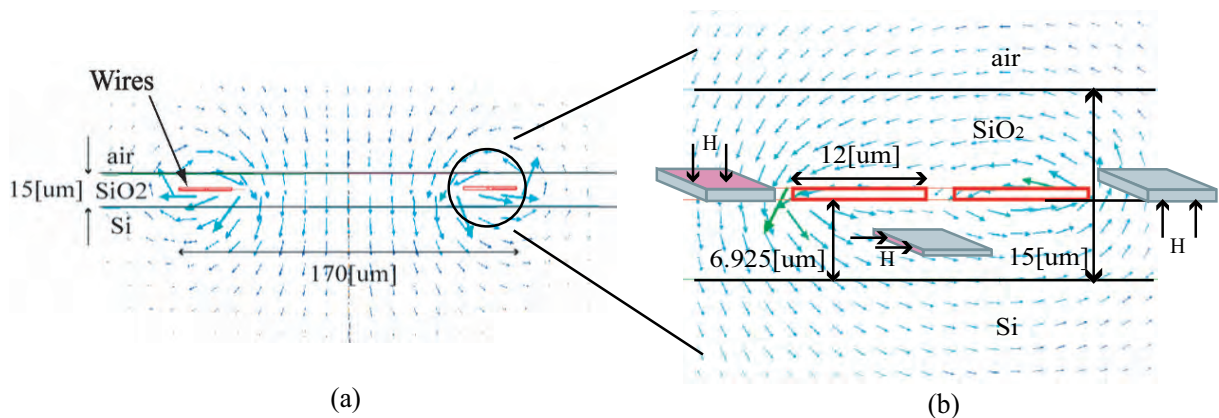


Fig 2: Magnetic field around an on-chip spiral inductor at 10 GHz. (a) Overview of the whole structure. (b) Expanded view near inductor wires.

## 2.1 オンチップ・スパイラルインダクタの周辺磁界の向き

うず電流損は磁界に対して垂直なダミーフィルの面積に依存するのでダミーフィルのないインダクタ周辺の磁界をビオサバルの法則による計算と電磁界シミュレーションツールを用いて検討した。10[GHz]での電磁界シミュレーションの結果を Fig.2 に示した。Fig.2 では計算値とシミュレーション値が一致している。

Fig.2(a) に酸化膜、シリコン基板を含むスパイラルインダクタとその周辺磁界を示した。インダクタ配線は厚さが  $0.99\mu\text{m}$  であり、シリコン基板から  $6.925\mu\text{m}$  上にある。また、インダクタは 2 巻であり、電流は左側のインダクタ配線では前から後ろに向かって紙面に垂直に流れている。右側のインダクタ配線では後ろから前に向かって紙面に垂直に流れている。透磁率はすべて 1 であり材質の違いによる影響はない。Fig.2(b) はインダクタ配線の右側の領域を拡大したものである。

Fig.2 を見るとインダクタ近傍では磁界が強く、インダクタの上下の磁界の方向はシリコン基板に対して水平である。一方で、インダクタの左側と右側の磁界はシリコン基板表面に対して垂直である。

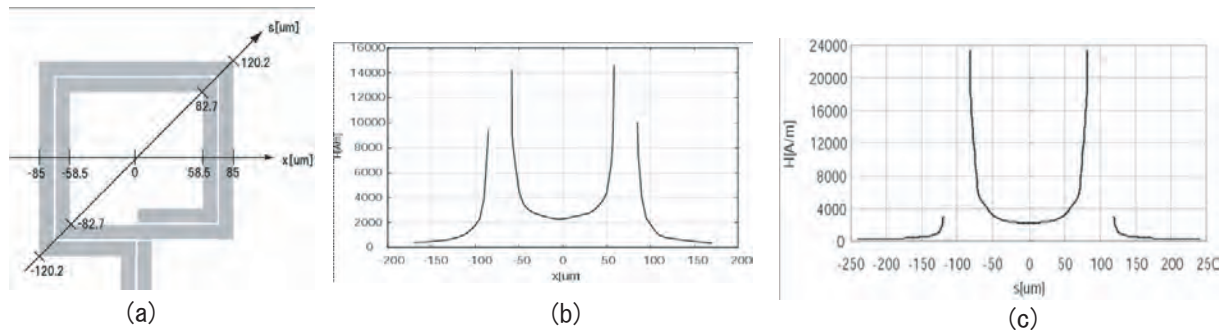


Fig 3: Magnetic field strength at 10 GHz. (a) Plain view of an inductor. (b) Strength along the X-axis. (c) Strength along the S-axis.

## 2.2 オンチップ・スパイラルインダクタの周辺磁界の強さ

ダミーフィルのないインダクタを Fig.3(a) に示す。周波数 10[GHz] でシミュレーションを行い、Fig.3(a) に示す x 軸と対角線 s 軸の磁界の強さを求めた。結果を Fig.3(b), Fig.3(c) にそれぞれ示す。インダクタは x 軸の原点から見て  $58.5\mu\text{m}$  から  $85\mu\text{m}$  の場所にある。s 軸上の原点からは  $82.7\mu\text{m}$  から  $120.2\mu\text{m}$  の場所にインダクタがある。Fig.3(b), (c) から磁界はインダクタ近傍でのみ非常に強いこと、インダクタの内側の方が外側よりも強いことがわかる。したがって、ダミーフィルを配置する際にはこの磁界が強い領域を避けなければならない。

Fig.4 はインダクタが存在する領域の磁界の強さを異なる 4ヶ所で下向きに見ている。このとき周波数は 10[GHz] である。酸化膜とシリコン基板の透磁率は共に 1 であるので材質の違いによる影響はなく、磁界の強さは指数関数的に減少する。Fig.4(B) は同図 (A) の (c) 点とその矢印方向の下部における磁界の強さを示したものである。点線のスパイラルインダクタの底面からシリコン基板表面 ( $z=-6.925\mu\text{m}$ ) までは磁界が強いままであるのでうず電流損はダミーフィルが配置される酸化膜全てにおいて考慮する必要がある。

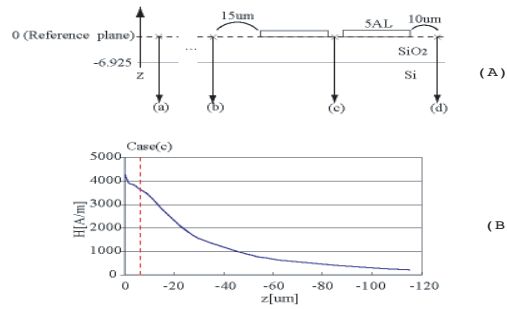


Fig 4: Magnetic field strength in the vertical direction with respect to the inductor wires. Case (c) shows the strength at the center of the outer inductor wire at 10 GHz.

### 2.3 ダミーフィルのうず電流損

ダミーフィルがインダクタの左右に配置されると磁界はダミーフィルと垂直に交差する．インダクタ近傍の磁界は強いのでダミーフィル内で発生するうず電流損は大きくなる．一方で，ダミーフィルがインダクタの下側に配置されたときは Fig.2(b) に示したようにダミーフィルと磁界が水平に交差するので磁界が面するダミーフィルの面積は非常に小さい．したがってうず電流損が小さくなる．

Fig.5 は 4 層目に 9 個の、大きさ  $20 \times 20 \mu\text{m}^2$  のダミーフィルを配置し、それらを水平方向にインダクタ配線の内側または外側に移動させたときのインダクタの Q 値の変化を示している．ただし、Fig.5 に示したインダクタの形はダミーフィルの配置が容易になるように Fig.3(a) に示したのから少し修正してある．このとき、Q が最大となる周波数は 7.5 [GHz] 程度であったのでこの周波数で検討を行った．ダミーフィルとインダクタが接するとき Q 値が最も低下するがダミーフィルを内側に  $15 \mu\text{m}$  移動すると Q 値はほぼ回復する．また、Fig.5(b) に示すように外側方向についてはダミーフィルを  $5 \mu\text{m}$  から  $10 \mu\text{m}$  移動すると Q 値が回復する．Fig.5 の結果からダミーフィルを配置する際にはスパイラルインダクタの内側  $15 \mu\text{m}$  から外側  $10 \mu\text{m}$  は除いた方がよいといえる．なお、[5] に示されるようにダミーフィルが小さいとき、うず電流損は式 (2.1) に示されるようにダミーフィルの半径の 4 乗に比例するので、小さくなる．

$$P_e = \left( \frac{dB}{dt} \right)^2 \cdot \frac{\pi h}{8\rho} \cdot R^4 \quad (2.1)$$

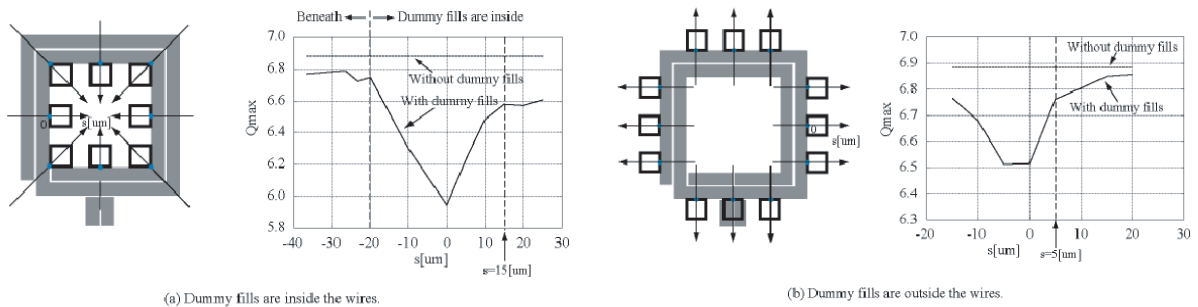


Fig 5: Influence of the magnetic field in the vicinity of the inductor wires.

ただし  $B$  はダミーフィルに垂直な磁界の強さ,  $t$  は時間,  $h$  はダミーフィルの厚さ,  $\rho$  はダミーフィルの抵抗率,  $R$  はダミーフィルの半径である. ここでダミーフィルの形は円状であると仮定している. [5] の Fig.1 に示されるように  $N$  個の円に分割すれば式 (2.1) は

$$P_{e/N} = \left(\frac{dB}{dt}\right)^2 \cdot \frac{\pi h}{8\rho} \cdot \left(\frac{R}{N}\right)^4 \cdot N^2 \quad (2.2)$$

となる. このとき, スパイラルインダクタにおけるダミーフィルの占有率は同じだが  $P_{e/N}$  は  $P_e$  より小さい. 全うず電流損はダミーフィルと交差する磁界の強さ, 磁界の向き, ダミーフィルの面積によって決定される.

## 2.4 寄生容量の増加

インダクタの下にダミーフィルを配置するとうず電流損は最小となるがスパイラルインダクタとシリコン基板の間の寄生容量が増加する. 試作チップの使用プロセスでは Fig.6 に示すように 1 層目から 4 層目までの厚さの和を  $a$  とすると, シリコン基板からインダクタ (5 層目) までの距離は  $(x - a)$  となる. インダクタの下にダミーフィルが置かれたときの容量値は式 (2.3) で表すことができる.

$$C_{ox} = (1 - k) \frac{\epsilon S}{x} + k \frac{\epsilon S}{x - a} \quad (2.3)$$

ただし  $k$  はダミーフィルの占有率,  $\epsilon$  は酸化膜の比誘電率,  $S$  はインダクタの面積である. 今回使用したプロセスのように  $a$  が  $x$  の 3 分の 1 であるとき,  $C_{ox}$  はダミーフィルがないときの容量の  $(1 + 0.5k)$  倍となる.

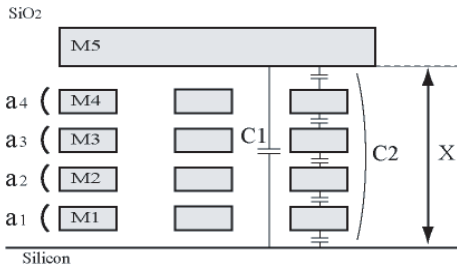


Fig 6: Cross-sectional view of the oxide layer under inductor wires with dummy fills.

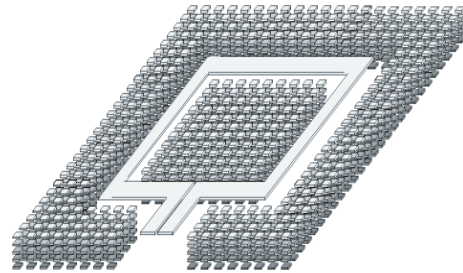


Fig 7: Proposed dummy fills placement scheme.

## 3 提案するダミーフィルの配置手法

オンチップ・スパイラルインダクタの  $Q$  値の低下にはインダクタ近傍のダミーフィルによるうず電流損と寄生容量が強く寄与している. そのためにダミーフィルを最適に配置するためには以下の 3 点を考慮しなければならない. (1) ダミーフィルのスパイラルインダクタにおける占有率を変えずにダミーフィルの大きさを十分に小さくする. (2) ダミーフィルをインダクタの下側に配置しない. (3) ダミーフィルをインダクタ近傍に配置しない. 例えばインダクタの内側  $15\mu\text{m}$  から外側  $10\mu\text{m}$  の範囲をダミーフィルを配置しない禁止領域にする. 以上を考慮したスパイラルインダクタを Fig.7 に示す.

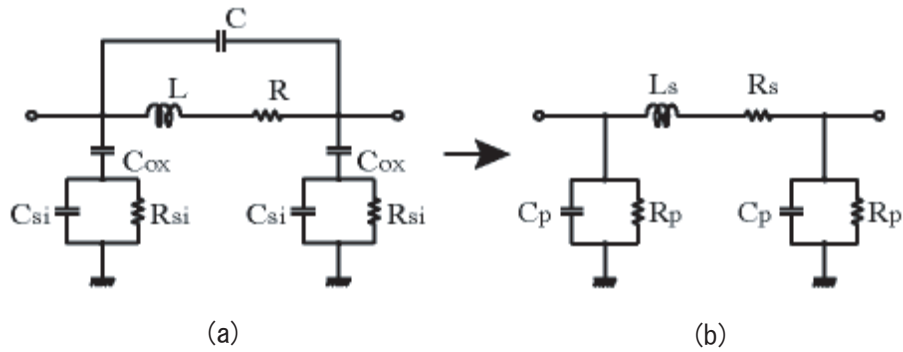


Fig 8: Equivalent circuit and its pi model of an on-chip spiral inductor.

## 4 実測結果

オンチップ・スパイラルインダクタの等価回路を Fig.8(a) に示した。 Fig.8(b) の  $\pi$  型回路は同図 (a) に示した等価回路を簡略化したものである [8]。ここでスパイラルインダクタの配線間に生じる Fig.8(a) の寄生容量  $C$  は Fig.8(b) の等価直列インダクタンス  $L_s$  と等価直列抵抗  $R_s$  に含まれることとなる。同様にスパイラルインダクタと酸化膜間の容量  $C_{ox}$  は、シリコン基板抵抗  $R_{si}$  とシリコン基板容量  $C_{si}$  と共に Fig.8(b) では  $R_p$ ,  $C_p$  としてモデル化される。本論文ではスパイラルインダクタの性能評価を Fig.8(b) に示した等価回路の各パラメータ値を用いて行っている。

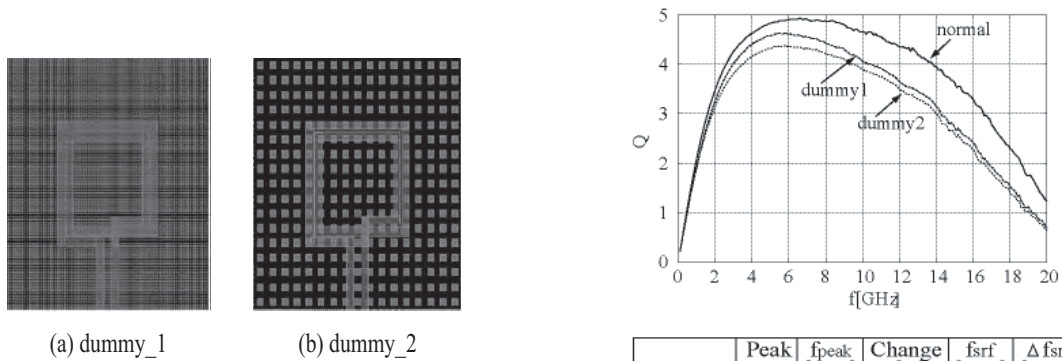


Fig 9: Layouts to examine the dummy-fill size dependency. (a) *Dummy\_1* ( $2 \times 2 \mu m^2$ ) (b) *Dummy\_2* ( $10 \times 10 \mu m^2$ ).

	Peak Q	f <sub>peak</sub> [GHz]	Change [%]	f <sub>srf</sub> [GHz]	Δ f <sub>srf</sub> [GHz]
Normal	4.90	7.5	0	24.4	0
Dummy_1	4.64	5.8	-5.3	23.3	-1.1
Dummy_2	4.38	5.8	-10.6	23.6	-0.8

Fig 10: Q-value frequency characteristics of layouts in Figure 9.

#### 4.1 うず電流損のダミーフィル依存性

まず Q 値の周波数特性がダミーフィルに依存するかどうかを検討した。0.18- $\mu\text{m}$  CMOS プロセスを用いて作られたレイアウト図を Fig.9 に示す。スパイラルインダクタは 5 層目を使っており 2 巻である。線幅と線間幅はそれぞれ  $12\mu\text{m}$ 、 $2.5\mu\text{m}$  である。Fig.9(a) のレイアウトパターンは  $2 \times 2\mu\text{m}^2$  のダミーフィルを  $2\mu\text{m}$  おきに全配線層に配置したものでありこれを *dummy\_1* と名付ける。Fig.9(b) に示すもう一方のレイアウトパターンは  $10 \times 10\mu\text{m}^2$  のダミーフィルを  $10\mu\text{m}$  おきに全配線層に配置したものでありこれを *dummy\_2* と名付けた。ダミーフィルの占有率はどちらも 25% である。比較のために同じ形、同じ大きさのダミーフィルのないインダクタを試作した。これを *normal* と呼ぶ。

Q 値はオン・ウェハプロービングによって測定された S パラメータから Fig.8.(b) の  $\pi$  型等価回路のパラメータを抽出して求めた。Fig.10 の実測値においてはダミーフィルの大きさが  $2 \times 2\mu\text{m}^2$  の *dummy\_1* は  $10 \times 10\mu\text{m}^2$  の *dummy\_2* より Q 値は大きいと *dummy\_1* と *dummy\_2* が大きく異なることはなかった。これに対し *normal* と *dummy\_1* または *dummy\_2* の間には大きな違いがあった。この主な原因としては自己共振周波数  $f_{sr,f}$  が異なるためだと考えられる。Fig.10 に示した表において、3 つの測定したレイアウトパターンの自己共振周波数の差を、*normal* パターンを基準として  $\Delta f_{sfr}$  で表した。その違いは明らかである。これは *dummy\_1* と *dummy\_2* はインダクタ直下にダミーフィルが配置されているので *normal* より寄生容量が大きく、したがって自己共振周波数は *normal* よりも小さくなるためだと思われる。また *dummy\_1* と *dummy\_2* のダミーフィル占有率は同じであるので、寄生容量の値は等しく自己共振周波数も同じとなると予想される。これらの結果よりダミーフィルのサイズを小さくするだけでは Q 値の低下を抑えるのに十分でないことがわかる。

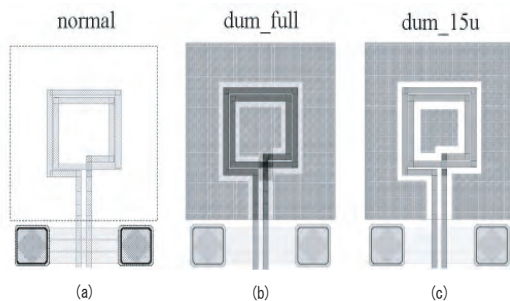


Fig 11: Conventional and proposed layout patterns.

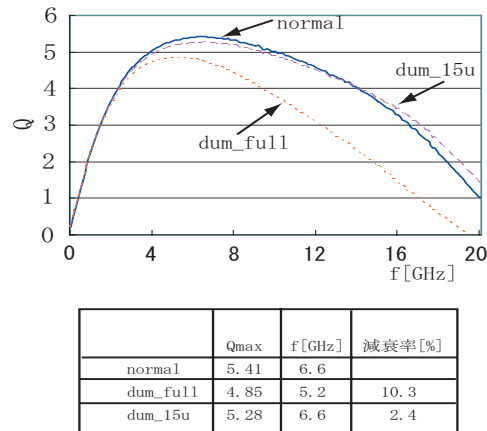
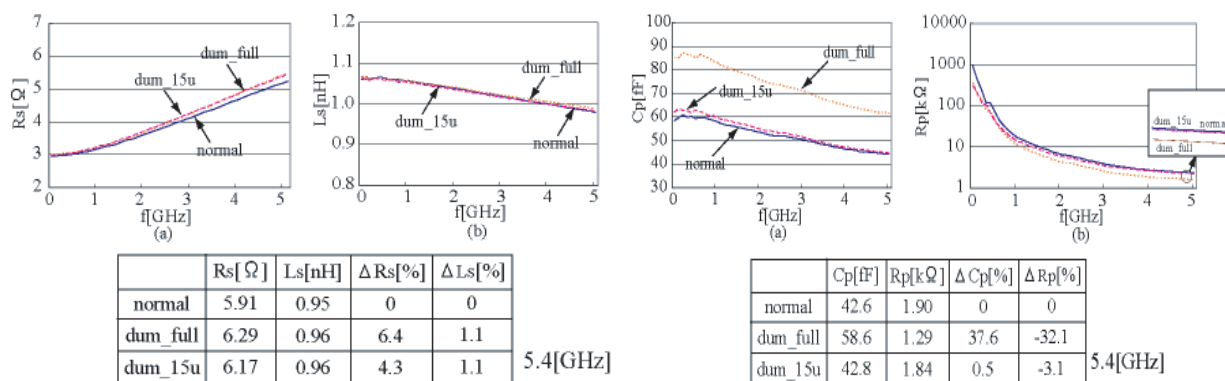


Fig 12: Q-value frequency characteristics of layouts in Figure 11.

#### 4.2 磁界の強さと寄生容量の依存性

ダミーフィルにおいてうず電流損が発生すると  $R_s$  が増加、 $L_s$  が減少する。また、スパイラルインダクタとシリコン基板間の寄生容量が増加するので  $C_{ox}$  が大きくなる。結果として、Fig.8(b) の  $\pi$  型等価回路の  $C_p$  が増加し  $R_p$  が減少する。試作したレイアウトパターンをこれらのパラメータ値を使って評価した。



Fig 13: Frequency characteristics of  $R_s$  and  $L_s$  values. Fig 14: Frequency characteristics of  $R_s$  and  $C_s$  values.

提案したレイアウトパターンは0.18- $\mu\text{m}$ CMOS プロセスを使用して作られ Fig.11(c) に示すようにダミーフィルの配置を禁止する領域を設けている。ダミーフィルのサイズは $2 \times 2\mu\text{m}^2$ であり、うず電流損が小さくなるように考慮されている。ダミーフィルの配置を禁止する領域はインダクタの外側 $10\mu\text{m}$ から内側 $15\mu\text{m}$ であり、インダクタ直下にもダミーフィルはない。このレイアウトパターンを *dum\_15u* と呼ぶ。Fig.11(a), (b) に示すように、比較のためのレイアウトパターンとして normal と *dum\_full* を試作した。*dum\_full* は0.18- $\mu\text{m}$ CMOS プロセスの設計ルールに従ったレイアウトであり、5層目のインダクタの内側 $10\mu\text{m}$ から外側 $10\mu\text{m}$ にはダミーフィルがないが、1から4層目には禁止領域を設けていない。この設計ではダミーフィルの占有率が56%となったので、*dum\_full* の寄生容量は normal に比べて28%増加すると見られる。比較のためにここでも normal パターンを用意した。

Q値の周波数特性を比較したグラフを Fig.12 に示す。Q値の最大値、Q値の最大値における周波数、Q値の低下率を併せて Fig.12 の表に示す。Q値は広い周波数範囲で高いことが望ましいので *dum\_full* の特性が最も悪いのは明らかである。一方で *dum\_15u* は normal と比較してQ値の低下が2.4%であり大きく低下しない。Fig.12 を見るとQ値は主に自己共振周波数の違いによって低下していることがわかる。

Fig.12 においてQ値の低下が主に自己共振周波数が原因だということが重要である。これについて明らかにするために Fig.8 の $\pi$ 型モデルのパラメータを検討した。測定したSパラメータを変換した各値を Fig.13 および Fig.14 に示す。Fig.13 は Fig.11 に示した3つのレイアウトパターンについて、 $R_s$  と  $L_s$  の周波数特性を示しており、表には周波数が5.4[GHz]のときの値を載せた。 $R_s$  と  $L_s$  は共にインダクタ配線間の寄生容量を含んでいる。したがって  $R_s$  の周波数依存性は表皮効果の増加量以上に増すこととなった。しかしながら *dum\_full* においては  $R_s$  が増加、 $L_s$  が減少すると考えられたが  $R_s$  の増加率がわずかに増加したのみではっきりとした変化は確認できなかった。*dum\_full* のダミーフィルの大きさも十分に小さいのでうず電流損がQ値の低下の主な原因かどうか検討する必要がある。

一方、Fig.14 における *dum\_full*, normal, *dum\_15u* の  $C_p$  と  $R_p$  の周波数特性には大きな違いが見られた。これはインダクタ直下のダミーフィルが原因と思われる。5.4[GHz]で見ると *dum\_full* は normal に比べて  $C_p$  が37.6%、 $R_p$  が32%低下している。これらの値は自己共振周波数の低下と電力損失の増加となる。これはインダクタが実際に用いられるときに  $C_p$  と  $R_p$  は  $L_s$  と並列に接続されるからである。

## 5 結論

オンチップ・スパイラルインダクタの Q 値を低下させるわず電流損が、ダミーフィルの大きさだけでなく磁界の強さと分布に影響されることを述べた。また、ダミーフィルの配置により寄生容量が増加することを述べた。以上をふまえ、スパイラルインダクタの内側  $15\mu\text{m}$  と外側  $10\mu\text{m}$  の領域内にはダミーフィルを配置しない新しいダミーフィルの配置手法を提案した。この提案手法を適用することにより  $0.18\text{-}\mu\text{m}$  CMOS プロセスを使用したスパイラルインダクタの Q 値と自己共振周波数が劣化しないことを明らかにした。

## 6 謝辞

試作したチップは、VDEC 及び、ローム（株）の協力により試作された。ここに厚く御礼申し上げる。

## 参考文献

- [1] B. E. Stine et.al., "The Physical and Electrical Effects of Metal-Fill Patterning Practices for Oxide Chemical-Mechanical Polishing Processes," IEEE Trans. Electron Devices, vol.45, no.3, pp.665-679, March 1998.
- [2] C.Pastore, F.Gianesello, D.Gloria, E.Serret and P.Benech, "Test Structure Definition for Dummy Metal Filling Strategy Dedicated to Advanced Integrated RF Inductors," IEEE Conf. on Microelectronic Test Structures, paper no.9.4, pp.214-219, March 2008.
- [3] A.Tsuchiya and H.Onodera, "Patterned Floating Dummy Fill for On-Chip Spiral Inductor Considering the Effect of Dummy Fill," IEEE Trans. Microwave Theory and Techniques, vol.56, no.12, pp.3217-3222, December 2008.
- [4] L.Nan, K.Mouthaan, Y-Z.Xiong, J.Shi, S.C.Rustagi and B-L.Ooi, "Impact of Metal Dummy Fills on the Performance of CMOS INductors," IEEE 2007
- [5] F.Zhang, C.F.Chu, and P.Kinget, "Voltage-Controlled Oscillator in the Coil," IEEE 2005 Custom Integrated Circuits Conference, Paper no.17-6, pp.587-590, September 2005.
- [6] C.P.Yue, and S.S.Wong, "Physical Modeling of Spiral Inductors on Silicon," IEEE Trans. Electron Devices, vol.47, no.3, pp.560-568, March 2000.
- [7] L.Nan et.al., "Experimental Characterization of the Effect of Metal Dummy Fills on Spiral Inductors," IEEE 2007 Radio Frequency Integrated Circuit Symposium, pp.307-310, June 2007.
- [8] K.Murata, T.Hosaka and Y.Sugimoto, "Effect of a Ground Shield of a Silicon On-chip Spiral Inductor," Proceedings of 2000 Asia-Pacific Microwave Conference, pp.177-180, No. 215, December 2000.