

シリコンナノワイヤトランジスタの試作と特性評価に関する研究

Study on Fabrication and Characterization of Silicon Nanowire Transistors

電気電子情報通信工学専攻 木村迅利

1.背景

大規模集積回路は、コンピュータやスマートフォンに広く用いられ、現代の高度情報化社会を根底で支えている。VLSI は数十億個もの MOS トランジスタで構成されており、MOS トランジスタの性能が VLSI の性能を、ひいては情報機器の性能を決めている。MOS トランジスタはムーアの法則[1]に従い長年に渡り指数関数的に微細化を進め、性能向上、消費電力の低減、集積度の向上を実現する事で世の中の発展に貢献している。

既存の BulkFET 構造では、微細化を進める事による短チャネル効果等の問題が顕著になってきた[2]。この問題を解決するために Intel は 22nm 世代以降、既存の構造とは異なる FinFET 構造が提案されており、この構造により短チャネル効果によるデバイスの性能が劣化する問題は大幅に軽減された[3][4]。しかし、FinFET 構造を用いて微細化を進めるにあたり、プロセス上の制限によりフィンの上部よりも下部で幅が大きくなってしまいう問題や、経済的な問題が出てきている[5]。

これらの課題を解決する事ができる、次世代構造のトランジスタとして、ゲートオールアラウンド(GAA)構造を備えたシリコンナノワイヤトランジスタは大きな注目を集めている[6]。しかし、GAA 構造をもつトランジスタいまだ不明な点も多い。

本研究の目的として実際に GAA 構造を持つナノワイヤトランジスタを試作し、その電流、しきい値電圧、ばらつき、RTN 等を評価する。ナノワイヤの幅は 10nm

以下と極めて狭く、このようなナノ構造で発現する物理現象を実験により明らかにし、理論と比較することで、将来重要となるナノスケールのトランジスタの性能向上の指針を提示することを目指す。

2.原理

2.1 シリコンナノワイヤトランジスタの原理

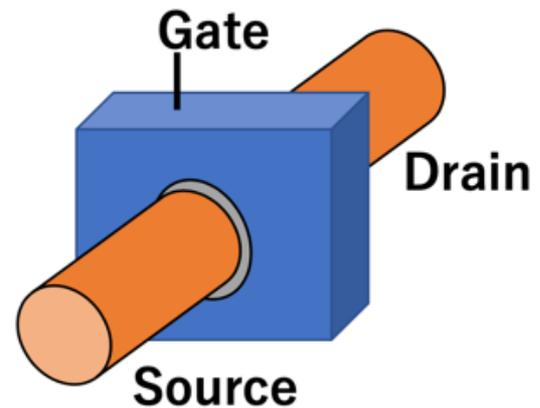


Fig.2.1 シリコンナノワイヤトランジスタの構造

Fig.2.1 から、シリコンナノワイヤトランジスタはチャネルが酸化膜およびゲートに囲まれている構造となっている事がわかる。この構造はチャネル部が完全にゲートに囲まれた形になっているため Gate-All-Around と呼ばれている。

GAA 構造は、チャネルが BOX および基板から切り離されているため基板バイアス効果による影響がない。従って基板バイアス効果を確認する事で、GAA 構造になっているかを電気的な特性から確認する事ができる。また、非常に微細な構造を持つ GAA は、チャネルをゲートで覆っている為ゲート制御性が優れており、これまでのデ

バイスと比べて閾値電圧やサブスレッショルド係数に大きな利点を持っている。GAA は基本的にチャンネル中の不純物が存在せず、微細な構造であることで不純物による揺らぎが確率的に発生しにくい。比較的幅の広いナノワイヤトランジスタでは、Bulk トランジスタや SOI トランジスタと比較して、 V_{th} および I_{on} のばらつきが非常に小さい事が報告されている[7]。また、ブスレッショルド係数においても GAA では酸化膜の容量がチャンネルを囲むように表面積を持つため容量は大きくなる為、SS を理論値の限界へ近づくことができる。

2.2 Random Telegraph Noise(RTN)の原理

RTN とは、酸化膜界面にトラップが生じ、そこに電子が捕獲・放出を繰り返すことにより電流を乱すことに起因するばらつきである。トラップの影響はこれまで無視することができたが、トランジスタの微細化が進められてきた中でその影響は大きくなってきた。RTN はサイズ依存が大きいため、さらに微細化が進むと、その影響は RDF を凌ぐと予想されており[8]、微細化されたトランジスタにて RTN を理解し抑制することは非常に重要である。

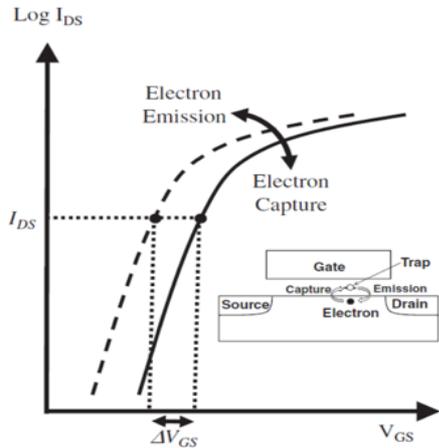


Fig.2.2 RTN の生じた I_d - V_g 特性[9]

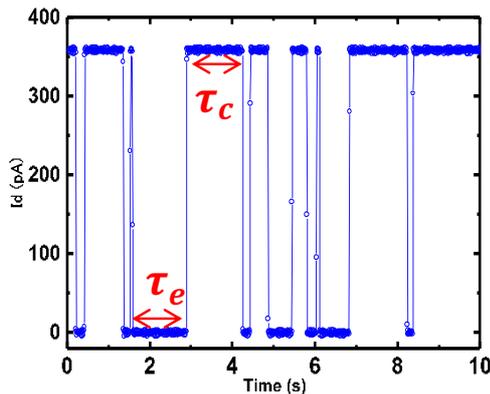


Fig.2.3 I_d - t 特性

RTN の現象を I_d - V_g 特性を用いて視覚的に表した図が Fig. 2.2 である。Fig. 2.2 から、1 個の電子が捕獲・放出されることにより、 I_d - V_g が点線と実線とを繰り返しシフトし、それによりしきい値電圧の変動が起こる。

Fig.2.3 は V_g を固定して I_d - t 波形の測定を行ったサンプリング特性である。Fig. 2.3 から、RTN の時定数であるキャリア放出までにかかる時間(τ_c) とキャリア獲得までにかかる時間(τ_e) が存在している。

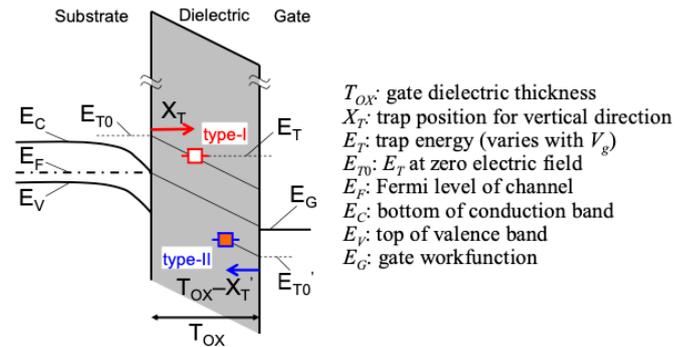


Fig.2.4 MSI 構造のバンド図[10]

Fig. 2.4 は、酸化膜中にトラップが配置された MSI 構造のエネルギーバンド図である。今回は、チャンネル (substrate) から電子がトラップされる type-I について考える。チャンネルから垂直な深さ方向にあるトラップの位置を X_T としている。

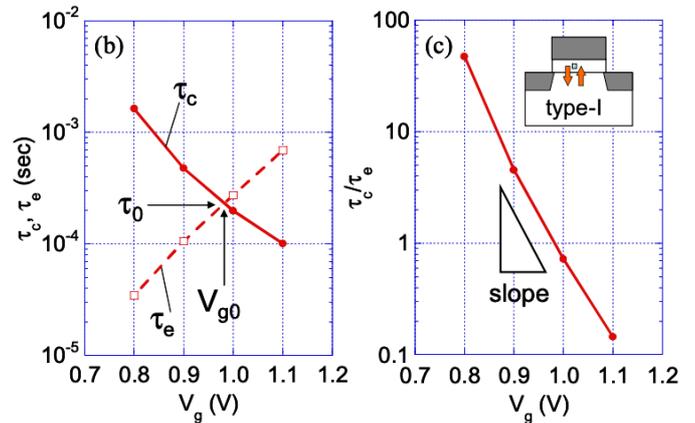


Fig.2.5 τ_c , τ_e の V_g 依存性[10]

Fig. 2.5 左のグラフから、ゲート電圧を印加すると τ_c (トラップの捕獲時間) は大きくなり、 τ_e (トラップの放出時間) は小さくなる。この時の、 τ_c - V_g 曲線と τ_e - V_g 曲線の交差点は、トラップエネルギーがフェルミレベルと一致する条件に対応している[10]。

$$\frac{X_T}{T_{ox}} = -\frac{kT}{q} \frac{\partial \ln(\tau_c/\tau_e)}{\partial V_g} \quad (3.1)$$

Fig. 2.5 右のグラフの傾きは、トラップの位置に依存しており、式(3.1)からトラップの深さを導出する事がで

きる。これは、Fig.2.4 から、チャンネル付近に存在するトラップよりも、ゲート付近に存在するトラップの方がゲート電圧を印加する事で生じるバンドの動きが大きい為、チャンネルから垂直な深さ方向にあるトラップの深さ (X_T) が大きくなると理解する事ができる。また式(2.11) から、酸化膜内にトラップは存在する為、 $X_T/T_{OX} \leq 1$ となる。

3 結果

3.1 ばらつき評価

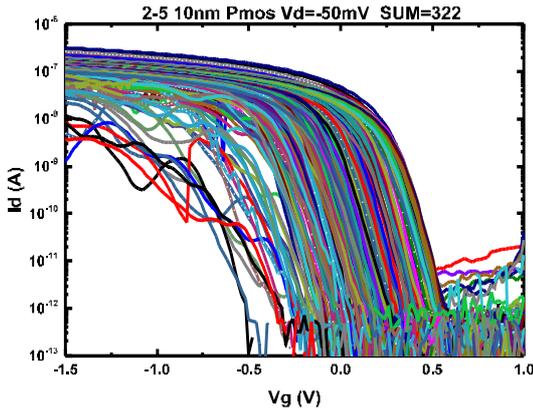


Fig.3.1 I_d - V_g 特性(Pmos)

Fig.3.1 は試作したシリコンナノワイヤトランジスタの I_d - V_g 特性である。Fig.3.1 から、通常のシリコンナノワイヤトランジスタの特性であるデバイスが多いが、チップの中には閾値が非常なデバイスや、SET、SHT の特性や、大きな RTN が見受けられる異常なトランジスタを含んでいる事がわかった。この様な特性のトランジスタはばらつき評価に大きな悪影響を及ぼす為、これらのトランジスタを取り除いたデータからばらつき評価を行う。

先行研究[11]では、量子閉じ込め効果によりナノワイヤ幅が狭くなるに従い、閾値電圧のばらつき及び、閾値変動がある Nmos のシリコンナノワイヤトランジスタにて報告されている。今回の研究では、Nmos だけではなく Pmos も評価を行った。

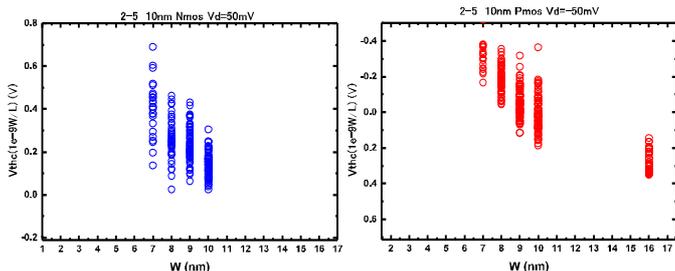


Fig.3.2 閾値電圧の幅依存性(右 Nmos 左 Pmos)

先行研究[11]と同様に Fig.3.2 の右のグラフからナノワイヤ幅が狭くなるに従い、閾値電圧のばらつきが大きくなると共に、閾値変動がある事がわかった。

また、Fig.3.2 左のグラフでは、 $W=16$ nm と比較して他のサイズでは、閾値電圧のばらつきが大きくなっており、Nmos と同様に Pmos でも、量子閉じ込め効果によりナノワイヤ幅が狭くなるに従い閾値電圧のばらつき及び、閾値変動がある事が新たにわかった。

以上の結果から微細なシリコンナノワイヤトランジスタの閾値電圧は、Pmos、Nmos 共にナノワイヤ幅に非常に敏感であり、わずかな線幅粗さ (LWR) が非常に狭いナノワイヤで大きな閾値電圧変動を引き起こすことを示している。

3.2 極めて大きな RTN の特性解析

今回解析を行ったデバイス設計を Table 3.1 に示す。

Table 3.1 デバイス設計

Type	length L (nm)	width W (nm)	height H (nm)	Gate oxide thickness T_{ox} (nm)
nFET	200	9	5	10
pFET	200	8	5	10

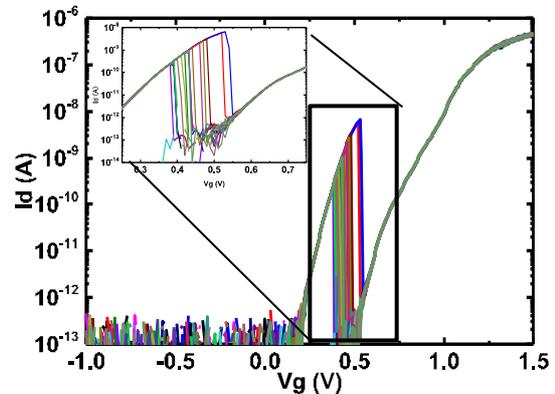


Fig.3.3 21 回の連続測定を行った Nmos の I_d - V_g 特性

Fig. 3.3 から、 V_g を上げていくと $V_g = 0.5$ V 付近で電流が突然減少し、 V_{th} が上昇する。Fig. 3.3 から V_{th} のシフト ΔV_{th} を算出すると $\Delta V_{th} = 0.545$ V となる。ここで V_{th} は $I_d = 1 \times 10^{-9}$ A で定義した。

また、Fig. 3.3 から測定毎で異なる V_g でトラップされ、異なる V_g でトラップされている理由は、特定の V_g で電子が捕獲放出される状態の確率が決まる為、毎回異なる V_g でトラップされている。この確率は V_g が低いほどトラップされる確立が低く、 V_g が高いほどトラップされる確率が高い。

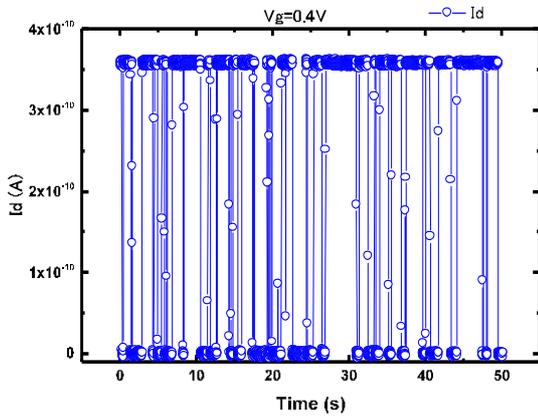


Fig.3.4 Vg=0.4V 時の Id-t 特性

Fig. 3.4 は Vg=0.4V に固定したときの電流 Id の時間依存性である。電流が流れなくなる程の極めて大きな RTN の電流振幅を観測した。トラップが電流に及ぼす影響が非常に大きいため、チャンネルの近くにトラップがあると考えられる。

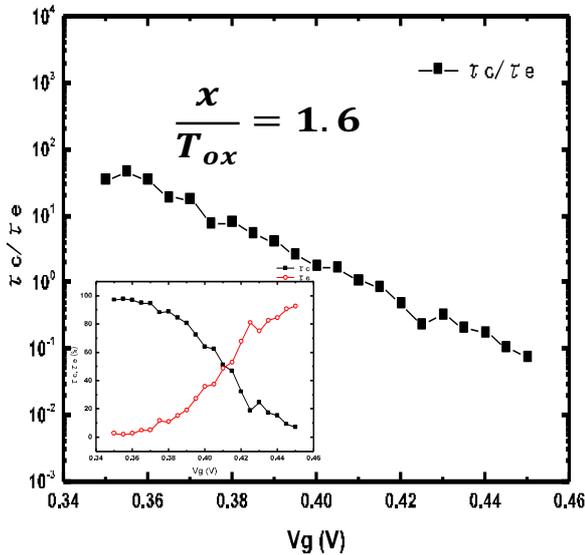


Fig.3.5 τ_c/τ_e -Vg 特性

ゲート酸化膜中にあるトラップの深さを式(3.1)から算出した。通常は酸化膜中にトラップがあるため $\frac{x}{T_{ox}} \leq 1$ となるが、Fig.3.5 の Vg 依存性から算出すると τ_c/τ_e の Vg 依存性が異常に強く、 $\frac{x}{T_{ox}} = 1.6$ となり、トラップが酸化膜の外側に存在すると算出された。

一方、測定された τ_c の統計分布は指数分布であることが確認されており、統計的にはキャリアの捕獲、放出はランダムで通常の RTN とかわりない。

4 結論

ばらつき評価では、測定結果から量子閉じ込め効果によりナノワイヤ幅が狭くなるに従い、閾値電圧のばらつきが大きくなり、閾値変動がある事を Nmos、Pmos 共に確認した。

次に、バルクトランジスタや SOI トランジスタでは見られない微細シリコンナノワイヤトランジスタにおける極めて大きなランダムテレグラフノイズ(RTN)の解析を行った。この RTN は、トラップ時に電流が流れなくなり、 $\Delta V_{th}=0.545V$ となり極めて大きな RTN である。トラップが電流に及ぼす影響が非常に大きいため、チャンネルの近くにトラップがあると考えられる。また、トラップの深さの算出を行った結果、通常は酸化膜中にトラップがあるため $x/T_{ox} \leq 1$ となるが τ_c/τ_e の Vg 依存性が異常に強く、 $x/T_{ox}=1.6$ となり、トラップが酸化膜の外側に存在すると算出された。以上の結果から、トラップの位置は ΔV_{th} からチャンネルに近く、 x/T_{ox} から酸化膜の外側で、チャンネルにから離れている事から、矛盾している結果である事が明らかになった。また、 τ_c/τ_e の Vg 依存性が異常に強く、トラップの位置が従来モデルで説明できないことが明らかとなった。

今後の展望としては、今回のプロセスでは、チャンネル幅 9nm 以下で歩留りが急激に低下していた。従って、微細なシリコンナノワイヤトランジスタの作製を行う為に、更なるプロセスの改善が必要である。また、ナノワイヤトランジスタにおける RTN は、トラップの位置が従来モデルで説明できない為、新たなモデルを考案する必要がある。

5.参考文献

- [1]G. Moore, IEEE IEDM 21, pp. 11-13, 1975.
- [2]Taur, Y., & Ning, T. H. (2013). Fundamentals of modern VLSI devices. Cambridge university pres.
- [3]C.H. Jan et al., IEEE IEDM Tech. Digest 44-47, 2012.
- [4]S.Natarajan et al., IEEE IEDM, pp. 3.7.1-3.7.3, 2014.
- [5]Razavieh. A et al., IEEE DRC, pp. 1-2, 2017.
- [6]K. J. Kuhn, IEEE TED, vol. 59, p.1813, 2012.
- [7]F.-L. Yang et al., Symp. VLSI Tech., pp.196-197, 2004.
- [8]N. Tega et al., IEEE VLSI Tech., pp. 50-51, Jun. 2009.
- [9]K. Abe et al., JJAP., Vol. 48,04C044,2009.
- [10]T. Nagumo et al.,IEEE IEDM, pp. 628-631. 2010.
- [11]T. Mizutani et al., Silicon Nanoelectron. Workshop, pp. 1-2 Jun. 2015.