

# 12-bit,1.5V, 電流モード,CMOS S/H回路の実現に関する回路技術の研究

## A research of the circuit that realizes a 12-bit,1.5V and current-mode CMOS sample-and-hold circuit

電気電子情報通信工学専攻 高張 伴美  
Takahari Tomomi

### 1 はじめに

近年、携帯端末器・パーソナル機器では小型化・低消費電力化等が求められており、多くのシステムにおいてアナログ・デジタル混載の回路が用いられている。デジタル信号は加工が容易などの利点を持つが、実際に人間が認識できる信号は映像・音声などのアナログ信号であるため、デジタルとアナログのインターフェースとしての A/D 変換器は重要な存在となっている。現在、A/D 変換器では電圧振幅を用いて信号変換を行う電圧モードが主流であるが、電源電圧の低下と共にダイナミックレンジの減少・S/N 比の低下が生じてしまう。そこで、低電圧化を実現する方法として電流モードが挙げられる。電流モードは電流信号に情報を乗せるので電圧振幅を大きくする必要がなく、電源電圧を下げる事が可能となり低電圧化に適している。パイプライン型 A/D 変換器においてはそれぞれの入力段に接続されるサンプルホールド回路の精度は重要なものとなる。本研究では低電源電圧下においても高精度出力を実現するサンプルホールド回路を目指して検討を行った。

### 2 電流モード S/H 回路

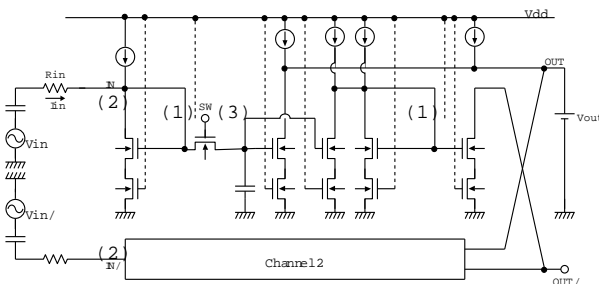


図 1: 改良前 S/H 回路

低電圧動作の S/H 回路において高精度化を実現する

方法のひとつとして電流モードを用いる方法がある。電流モード回路は小さい電圧振幅で信号を伝達できるため、低電圧に適した回路技術である。電流モード回路は信号として電流を用いるため、電圧信号を抵抗を用いて電流に変換している。図 1 に改良前の S/H 回路を示す。回路は差動構成となっている。図 1 中の (1)(2) は S/H 回路入力電流の非線形化・(3) は出力電流の非線形化が発生してしまう部分であり、改善が求められる。

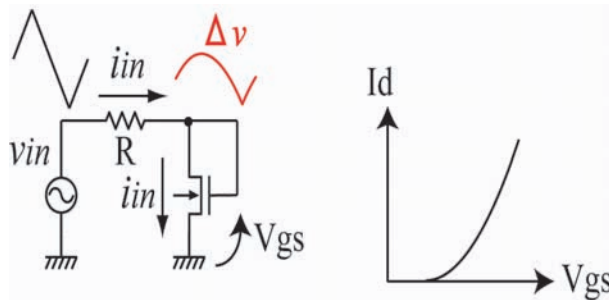


図 2: 電圧-電流変換時に発生する非線形誤差

図 2 に示すように抵抗 R を用いて  $v_{in}$  から  $i_{in}$  へと電圧-電流変換を行い、トランジスタに電流信号を流した時に非線形誤差が発生する。トランジスタの電流の変動に伴い、ゲート電圧  $v_{gs}$  が非線形に変化するためである。入力電流  $i_{in}$  は

$$i_{in} = \frac{v_{in}}{R} - \frac{\Delta v}{R} \quad (1)$$

と表され、 $\Delta v$  が非線形に変化するために  $i_{in}$  は非線形性を持ってしまう。

そこで従来は図 3 のように、高利得のオペアンプを用いて  $i_{in}$  の非線形性を低減する手法を用いていた。オペアンプの利得を A とすると  $\Delta v$  の電圧変動は  $\frac{\Delta v}{A}$  に抑えられ、以下の式 2 に示すように非線形性が改善される。

$$i_{in} = \frac{v_{in}}{R} - \frac{\frac{\Delta v}{A}}{R} \quad (2)$$

本研究では S/H 回路の低電圧化を実現するため図 4 に示すように、オペアンプの代わりとして飽和状態のトラ

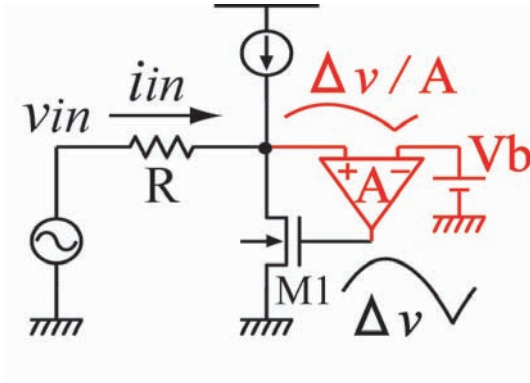


図 3: 非線形誤差を抑える方法

ンジスタ  $M_{amp}$  を用いて利得を得ることにより非線形誤差の低減を考えた。 $M_{amp}$  のゲート端子は接地されており  $M1$  のドレイン端子  $v_{DSm1}$  は式 3 で示すように固定される。この手法によって図 1 の (1) の部分の改善を行った。

$$v_{DSm1} = v_{SDmamp} + v_{GSm1} \quad (3)$$

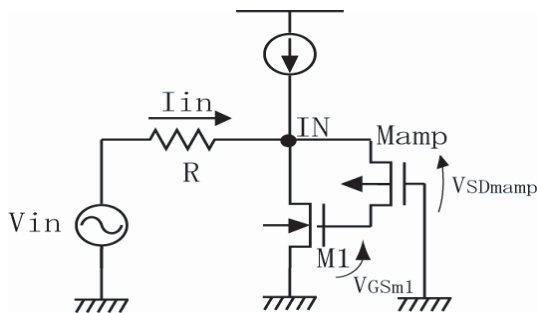


図 4: 低電圧下で非線形誤差を抑える方法

さらに  $v_{DSm1}$  を低くして回路の低電圧化を実現する手法について考えた。MOS トランジスタの飽和動作の条件式は式 4 で表されるため、一定以上の  $V_{SDmamp}$  を確保する必要がある。 $V_{SGmamp}$  は  $M_{amp}$  のソース-ゲート間電圧・ $V_{thp}$  は  $M_{amp}$  の閾値電圧である。そこで図 5 に示すように A B 間に抵抗を接続し電流  $J_a$  を流すことによって B 点の電圧降下を試みた。 $M_{amp}$  には定電流源  $J_a$  と  $J_b$  の差の電流が流れる。その結果、信号対雑音比を犠牲にすることなく  $v_{DSm1}$  をさらに低く設定することが可能となった。

$$V_{SDmamp} = V_{SGmamp} - |V_{thp}| \quad (4)$$

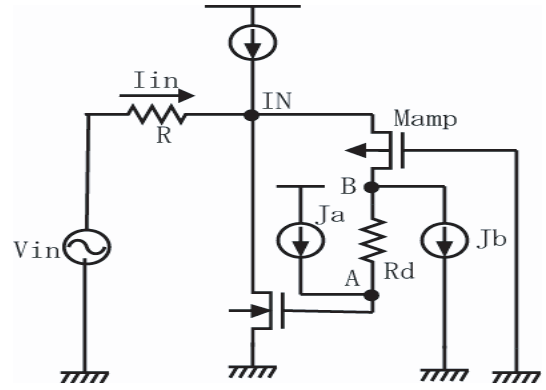


図 5:  $v_{DSm1}$  をさらに低く抑える方法

### 3 電圧-電流変換の非線形性の改善

しかし、このような低電圧動作環境ではオペアンプの利得を十分に確保するのは難しい。そこで、高利得オペアンプを用いることなく入力電流の非線形性の改善を行う回路を用いて設計を行った。図 1 中の (2) に接続される。図 6 に電圧-電流変換回路を示す。オペアンプやトランジスタを用いた電圧変動の抑制には限界があるため、電圧制御電流源  $G_m$  を用いて電流  $i = G_m \Delta v$  を用いて電流を追加し、誤差電流を打ち消す回路を用いている。これにより、トランジスタに流れる電流  $i_{M1}$  は

$$i_{M1} = \frac{v_{in}}{R} + (G_m - \frac{1}{R}) \frac{\Delta v}{A} \quad (5)$$

となり、

$$G_m = \frac{1}{R} \quad (6)$$

と設定すれば  $\Delta v$  の項が打ち消されることが分かる。

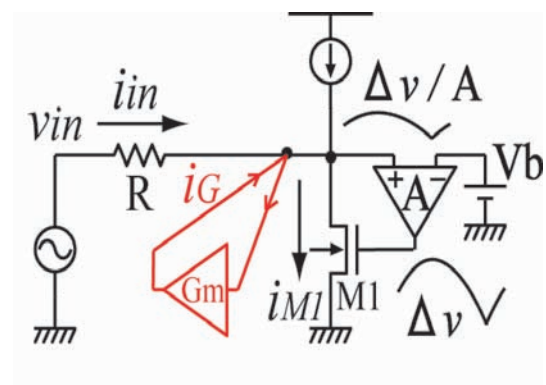


図 6: 電流キャンセル回路

## 4 出力電流の線形化

高精度の出力電流を得るためには、入力電流の線形化は勿論のこと信号伝達の過程で発生する非線形誤差にも注意する必要がある。そこで、図1に示す(3)のサンプリングスイッチ SW から発生する誤差成分について考える。この誤差成分にはチャージインジェクションとクロックフィードスルーという2つの成分が含まれる。まずクロックフィードスルーについて述べる。SW ではスイッチが ON から OFF へ切り替わる際ゲート~ドレイン間またはゲート~ソース間のオーバーラップ容量を通してサンプリング容量へクロックの変化が漏れ出す。そのため、M2 のゲート端子電圧に誤差が発生する。クロックフィードスルーによって M2 のゲート電圧に生じる誤差電圧  $V_{err}$  は、

$$V_{err} = -\frac{W_{sw}C_{ov}}{C_h + W_{sw}C_{ov}}V_{dd} \quad (7)$$

となる。ここで、 $W_{sw}$  はスイッチのチャンネル幅・ $C_{ov}$  は単位幅当たりのオーバーラップ容量を表す。このように  $V_{err}$  は入出力特性の一定のオフセットとなる。

次にチャージインジェクションについて説明する。チャージインジェクションとは、SW が ON の時 SW のゲート直下に蓄積されたチャンネルチャージ  $Q_h$  が SW が ON から OFF に切り替わる時にドレイン側またはソース側へ放出されるため、M2 のゲート端子に誤差電圧が生じる現象のことである。仮にチャンネルチャージ  $Q_h$  の  $1/k$  ( $k$  は実数) が  $C_h$  に注入されるとすると、生じる誤差電圧  $V_{err}$  は次式ようになる。

$$V_{err} = \frac{WLC_{ox}(V_{dd} - V_{in} - V_{th})}{kC_h} \quad (8)$$

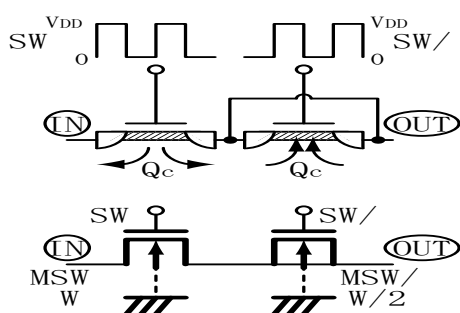


図 7: ダミースイッチ

そこでこれら誤差成分を低減するために図7のようにダミースイッチを適用する。ダミースイッチはスイッチが ON から OFF に切り替わる時に OFF から ON に切り替えることで、スイッチから放出された電荷をダミースイッチにチャンネルチャージとして充電し、誤差成分が出力電流に現れることを防ぐ。

## 5 評価結果

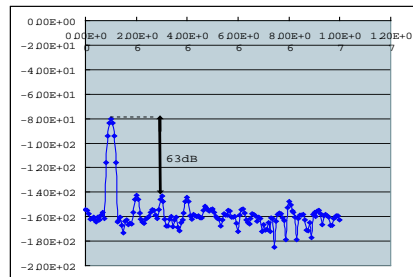


図 8: S/H 出力電流の FFT 結果

図1に示した回路構成で(1)(2)(3)の箇所を改善し、低電圧・高精度の電流モード S/H 回路のシミュレーションとその評価を行った。SFDR は基本信号と3次高調波との差をとり  $f_{in} = 1MHz$ 、 $f_s = 20MHz$ 、入力振幅  $0dB_{FS}$  で  $63dB$  であった。これより 10-bit 精度が確保されたといえる。図9に改良後の S/H 回路全体図を示す。(1)に電圧変動固定用トランジスタ・(2)の電圧-電流変換部分に電流キャンセル回路・(3)のサンプリングスイッチから発生する誤差成分を抑えるダミースイッチを付加した。

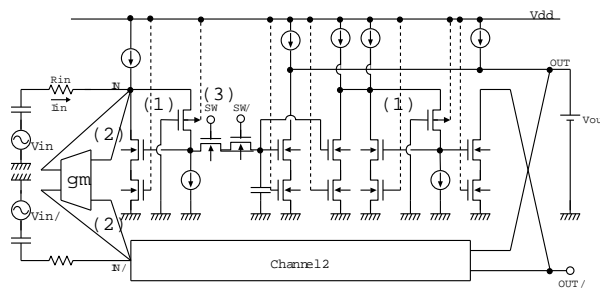


図 9: 改良後 S/H 回路

## 6 前研究の A/D 変換器の直線性の改善

評価結果より、SFDR の改善は見られたが、10bit 以上の精度が取れていないため、直線性の改善の検討をシミュレーションによって行った。図 10 に A/D 変換器の 2nd bit-block 出力電流波形を示す。図 10(a) より電流値が落ちてしまう期間が発生してしまう。出力電流は図 11(a) の DA1, DA2 のタイミングで電流値が引かれるのだが、灰色で示した部分において余分に電流値が引かれてしまうため、出力波形が図 11(a) の出力となってしまう。そこで、新たに cancel という信号を生成し、図 11(b) に示す回路を追加することで、DA1new、DA2new という新たなタイミングを生成し直線性の改善を行った。改善手法を用いることで、2nd bit-block 出力電流波形は図 10(b) となる。直線性を調べるため、ホールド電流値の間隔を測定すると、改善後にはホールド電流値のばらつき最大値において電流誤差率は 2.86% から 0.99% に改善され直線性が改善されたといえる。

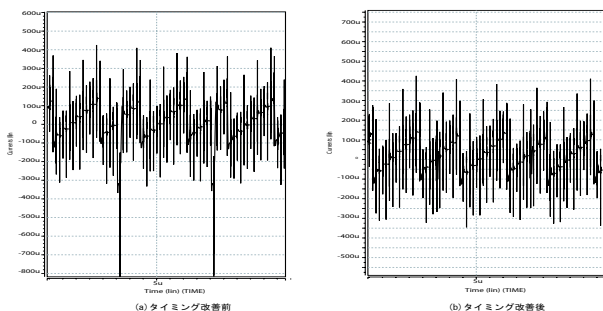


図 10: 2nd bit-block 出力電流波形

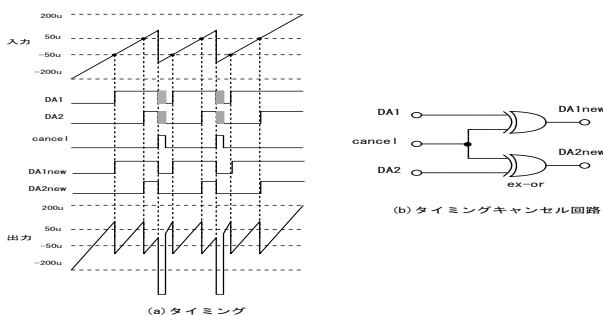


図 11: タイミング図

## 7 結論

本論文では、1.5V 電源電圧動作の電流モード S/H 回路の研究を行った。低電圧下で高精度の電流モード S/H 回路を得るために、「低電圧を目指すため従来のオペアンプの代わりとしてトランジスタ 1 石を用いる手法」「高精度入力電流を得るため、入力部に電流キャンセル回路

を用いる手法」「サンプリングスイッチによる出力電流の精度低下を抑える手法」の 3 つの手法について検討を行った。以上を踏まえて低電圧・高精度の電流モード S/H 回路のシミュレーションとその評価を行った。SFDR は  $f_{in} = 1MHz$ 、 $f_s = 20MHz$ 、入力振幅  $0dB_{FS}$  で  $63dB$  であった。これより 10-bit 精度が確保されたといえるが、サンプリングスイッチを理想スイッチに変更して  $f_{in} = 100kHz$  でシミュレーションを行ったところ、入力電流の精度とほぼ等しい  $75dB$  を確認し 12-bit 精度を得た。サンプリングスイッチは実際には MOSFET で構成されるので、今後 12-bit 以上の精度の電流モード S/H 回路を得るためには、MOSFET サンプリングスイッチのさらなる検討が必要であると言える。

## 謝辞

本研究を行うにあたり、多大なる御指導を賜った杉本泰博教授に心により感謝の意を表します。

## 参考文献

- [1] Yasuhiro Sugimoto "A 1.5-V Current-Mode CMOS Sample-and-Hold IC with 57-dB S/N at 20 MS/s and 54-dB S/N at 30MS/s" *IEEEJ SOLID-STATE CIRCUITS*, 2001
- [2] 小川 隼人 "1V 動作, 20MS/s, 電流モード, CMOS S/H 回路の研究" 中央大学大学院修士論文 2002
- [3] 高橋 俊彦 "ダイナミックレンジ 70dB 以上を実現する MOS サンプリングスイッチの構成に関する研究" 中央大学大学院修士論文 2008
- [4] Yasuhiro Sugimoto and David G.Haigh "A Current-Mode Circuit With a Linearized Input V/I Conversion Scheme and the Realization of a 2-V/2.5-V Operational, 100-MS/s, MOS SHA" *IEEEJ SOLID-STATE CIRCUITS*, 2008
- [5] 杉本 泰博, "よくわかるアナログ電子回路", オーム社.