

アナログ回路を用いない $\Sigma\Delta$ 変調器における 1.1V 低電圧動作実現のための回路手法に関する研究

A research of the circuit which realizes a $\Sigma\Delta$ modulator without using analog circuit and which realizes a low voltage of 1.1V operation

電気電子情報通信工学専攻 前橋 雄
Yu Maehashi

1 はじめに

近年、携帯電話、デジタルカメラなどの小型携帯機器市場が世界的に拡大している。こうした中、トランジスタの微細化が進み、現在ではナノプロセスの時代に入ってきた。しかし、微細化するにつれて、電源電圧を低くしなければならない。そこで、本研究では、 $\Sigma\Delta$ 変調器をアナログ回路を用いずに構成したパッシブ型 $\Sigma\Delta$ 構成に着目し、電源電圧 1.0V、0.18 μm CMOS プロセスで設計、評価し、検討を行った。

2 低電源電圧動作の必要性と問題点

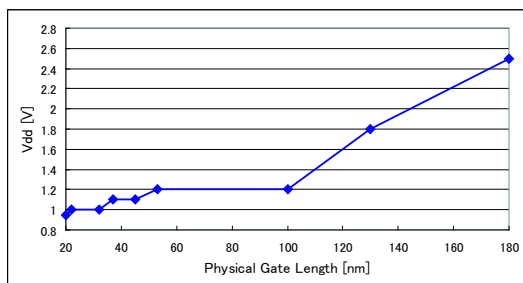


図 1: 国際半導体技術ロードマップ

図 1 は、国際半導体技術ロードマップ (ITRS) のデータである。図 1 より、ゲート長が短くなると、使用可能な電源電圧が下がってきてるのがわかる。しかし、アナログ回路を低電圧化する場合、様々な問題がある。

例として出力抵抗の低下をあげる。出力抵抗 r_{ds} は

$$r_{ds} = \frac{1}{I_d} = \frac{V_A}{I_d} \quad (1)$$

である。ここで、出力抵抗定数はアーリー電圧 V_A の逆数である。図 2[1] より、プロセスが微細化するにつれて、アーリー電圧 V_A が小さくなるのがみとれる。出力抵抗が低下すると、高精度なオペアンプを実現することが難しくなる。

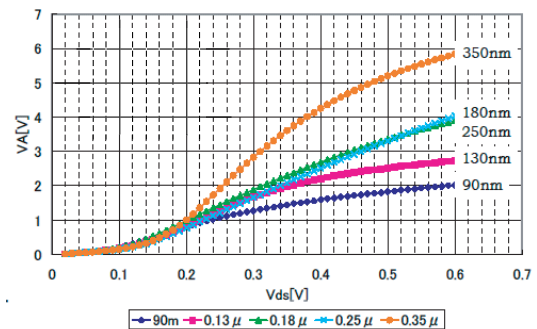


図 2: 松澤昭, ナノ CMOS 時代のアナログ技術の課題と動向 セミナー資料

以上より、アナログ回路を低電圧化するのは非常に困難である。このような事実を踏まえてどのように設計すればいいか。ひとつのアプローチは、アナログ部の負担を極力減らし、徹底したデジタル化を目指すことである。そこで、 $\Sigma\Delta$ 方式をよりデジタル化した、パッシブ型構成に着目し、電源電圧 1.0V で SNR=74dB を目標に設計を行った。

3 アナログ回路を用いない構成

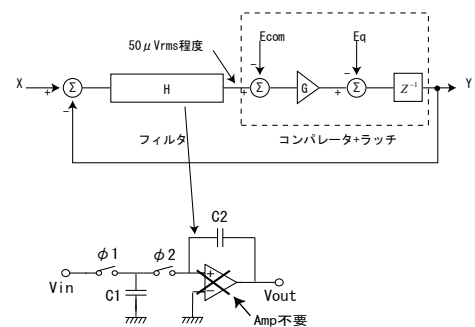


図 3: パッシブ型 $\Sigma\Delta$ 変調器の構成

図3にパッシブ型 $\Sigma\Delta$ 変調器のブロック図を示す。フィルタ H、コンパレータ+ラッチで構成される。フィルタ H は、アナログスイッチとキャパシタのみのパッシブな構成なので、OP アンプのような能動素子を一切用いない。図3の伝達関数は

$$Y = X + \frac{1}{GH}Eq + \frac{1}{H}E_{com} \quad (2)$$

E_q が量子化雑音、 E_{com} はコンパレータの入力換算ノイズを表す。G はコンパレータの利得である。また、H はフィルタの伝達関数である。

4 従来構成の問題点と改善策

パッシブ型 $\Sigma\Delta$ 変調器の低電源電圧化における問題点は、(1) フィルタのスイッチが ON しない、(2) コンパレータのオフセット電圧が高調波歪みの原因になる、(3) コンパレータが発するノイズが出力にそのまま現れる、である [2]。以下、それらの改善策について述べる。

4.1 フィルタ

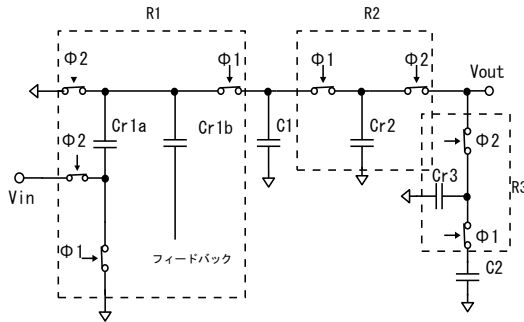


図 4: フィルタの構成

図4に、従来型の2次のパッシブスイッチトキャパシタフィルタ (SCF) を示す [3]。2ポール、1ゼロ構成である。入力および、出力電圧は 0.5V 中心でセットし、逆三角形のシンボルは、0.5V に接地していることを表している。 ϕ_1 と ϕ_2 はオーバーラップしない2相の時間信号である。点線に囲まれた R_1 、 R_2 および R_3 は等価的に、抵抗として置き換えられる。スイッチは全て CMOS SW とした。問題点 (1) は、電源電圧を 1V で動作させる場合、スイッチの $V_{gs}=0.5V$ であり、スイッチが ON しきらない。改善策として、 V_{bb} および DAC のフィードバック信号 V_{ref} の値、 R_1 の回路構成を変更した。図5に提案構成を [4]、式 (3) に node a の電圧を表す式を示す。これらより、SCF は 0.2V 中心で動作し、スイッチの V_{gs} は 1V 動作時 0.7V ~ 1V を確保することができる。

$$V_a = \frac{C_{r1a}}{C_{r1a} + C_{r1b}}(2V_{bb} - V_{in,c}) - \frac{C_{r1a}}{C_{r1a} + C_{r1b}}V_{in,d} + \frac{C_{r1b}}{C_{r1a} + C_{r1b}}V_{ref} \quad (3)$$

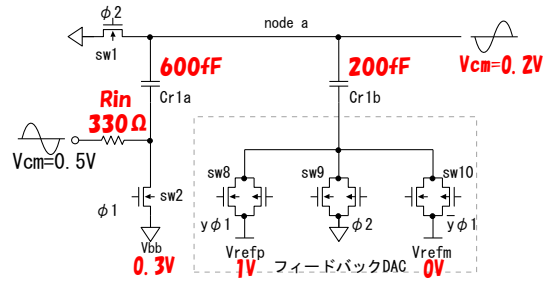


図 5: 提案する R1 部および DAC の構成

4.2 コンパレータ

問題点 (2)(3) の改善策として、図6に示す相関2重サンプリング (CDS) [5] をコンパレータに組み込む事で、コンパレータが持つオフセット電圧やノイズを抑制した。伝達特性は式 (4) のようになる。ここで、 V_{off} は、コンパレータのオフセット電圧およびノイズである。式 (4) から、CDS を組み込んだ回路において、信号は増幅されるが、内部のノイズは増幅されずに出力される事がわかる。

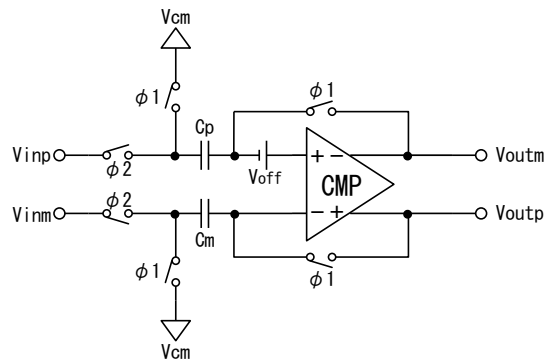


図 6: 実装した CDS の回路構成

$$V_{outp} - V_{outm} = A(V_{inp} - V_{inm}) + \frac{A}{1+A}V_{off} \quad (4)$$

5 シミュレーション結果

図7に、SCF 部における信号パスのローバイアス化を施した場合 ($V_{bb}=0.3V$, "newly designed") と、施していない場合 ($V_{bb}=0.5V$, "conventional") との比較結果を示す。入力周波数 $f_{in}=30kHz$ 、サンプリング周波数 $f_s=100MHz$ でシミュレーションを行った。ローバイアス化を施す事で、SFDR が 30dB 程度改善しているのが分かる。

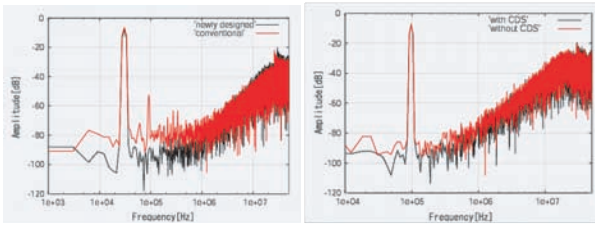


図 7: ローバイアス化効果

図 8: CDS の効果

図 8 に、コンパレータ部に CDS を組み込んだ場合 (“with CDS”) と、組み込んでいない場合 (“without CDS”) との比較結果を示す。こちらは、 $f_{in}=100\text{kHz}$ 、 $f_s=100\text{MHz}$ でシミュレーションを行った。どちらもコンパレータ入力部に、コンパレータの入力換算雑音を PWL 信号源として組み込んだ [2]。CDS を施す事で、SNR が 8dB 程度改善しているのが分かる。

変調器の性能評価として、 $V_{dd}=1.0\text{V}$ 、 $f_s=100\text{MHz}$ 、 $f_{bw}=100\text{kHz}$ において、SNR=76.2dB、SFDR=77dB を達成した。

6 評価結果

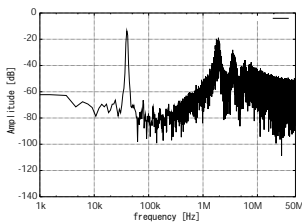


図 9: 実測結果 1

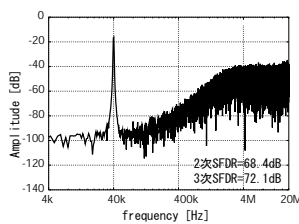


図 10: 実測結果 2

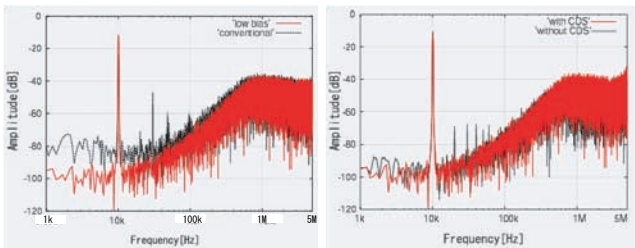


図 11: ローバイアス化効果

図 12: CDS の効果

図 9 に、シミュレーションと同条件での実測結果を示す。シミュレーションと同条件では、正常な動作ができなかった。クロック電圧 $V_{dd}=1.1\text{V}$ に上げ、 $f_s=40\text{MHz}$ まで下げると正常な動作を確認できた。図 10 に示す。 $V_{dd}=1.1\text{V}$ 、 $f_s=40\text{MHz}$ 、 $f_{bw}=40\text{kHz}$ において、SNR=71.9dB、SFDR=74.5dB を確認した。

提案回路の効果として、フィルタのローバイアス化によって SFDR が 43.2dB 改善し、また CDS によって SFDR が 19dB 改善したのを確認した。CDS による SNR

の改善度合いは、シミュレーションが 8dB に対し実測は 3.6dB にとどまった。

7 問題点とその原因

問題点として、(1)1V 動作時に 3 次歪みが大きい事、(2)100MHz 動作ができない事、(3)CDS による SNR の改善度合いが悪い事、の 3 点が挙げられる。このうち (1)(3) について検討した。

7.1 1V 動作

前章の検討で、 $V_{dd}=1.1\text{V}$ ならば、おおむね良い特性を得る事ができた。 V_{dd} は、(1) ラッチ、クロックドライバの電源電圧、(2) クロックの High の電圧、の事である。しかし、ラッチ、クロックドライバは、デジタル回路ブロックであるため、1V 動作できる。(2) の影響を受けるのは、SCF のスイッチなので、SCF のスイッチのオン抵抗が、予想していたよりも大きくなって、と考えた。

MOS トランジスタの飽和領域における g_m の値は、式 (5) のように表され、線形領域のオン抵抗 R_{on} の値は、式 (6) のように表される。

$$g_{m,sat} = \sqrt{2\mu C_{ox} \frac{W}{L} I_d} = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \quad (5)$$

$$R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})} = \frac{1}{g_{m,sat}} \quad (6)$$

シミュレーションと実測で MOS の静特性を比較したところ、実測値は、PMOS、NMOS とも、ばらつきが Slow 寄りになっている事がわかった。これをふまえて、SCF のクロック電圧が 0.9V ~ 1.2V の範囲での SFDR のグラフを図 13 に示す。シミュレーションはプロセスばらつき SS で行った。図 13 より、フィルタのスイッチのオン抵抗が高い事が 1V 動作時歪みの大きくなる原因だと言える。

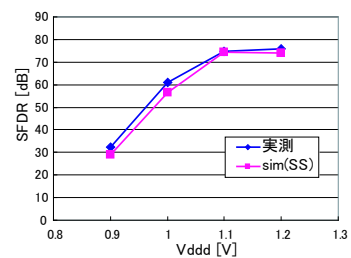


図 13: SFDR-クロック電圧特性

7.2 ノイズ

設計段階で考慮していなかったノイズ源として、フィルタの kT/C ノイズというものがある。まず、ノイズをモデル化し、「どのスイッチのノイズが出力ノイズの中で支配的になるのか」をシミュレーションで検証したところ、図 14 の丸印のついたスイッチおよび抵抗が、支配的になっている事がわかった。

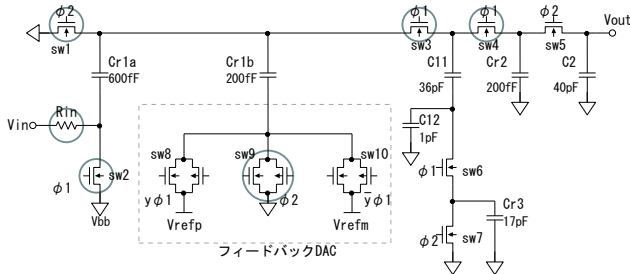


図 14: 出力ノイズに影響のあるスイッチ

各スイッチそれぞれ、ノイズのフィルタ出力部までの伝達関数を求め、出力に現れる kT/C ノイズ総量を計算した結果、式 (7) のようになった。また、ノイズの実測結果を図 15 に示す。スペクトラムアナライザを用いて $RBW=100\text{Hz}$ で測定した。

$$V_{kT/C,OUT} = 22.2\mu V_{rms} \quad (7)$$

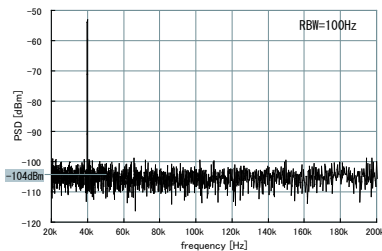


図 15: 出力ノイズ実測結果

kT/C ノイズを考慮し、CDS による SNR の改善度合いを再検証したところ、7dB の改善を確認した。

8 結論

本論文では、低電源電圧でのアナログ回路の問題点をあげ、1つのアプローチとして、アナログ回路を用いない(パッシブ型) $\Sigma\Delta$ 変調器を検討した。パッシブ型従来構成の低電圧化における問題点の改善策を組み込み、回路シミュレーションを行った結果、 $f_{in}=100\text{kHz}$ 、 $f_s=100\text{MHz}$ 、 $V_{dd}=1.0\text{V}$ で SFDR は 77dB、SNR=76.2dB を達成した。しかし、実測において 100MHz 動作、1V 動作を確認できなかった。1.1V、40MHz 動作時に SFDR=74.5dB、

SNR=71.9dB を確認した。提案回路の効果としてフィルタのローバイアス化により SFDR が 43.2dB 改善、CDS により SFDR が 19dB 改善した。しかし CDS により SNR は 3.6dB しか改善されなかった。実測から浮かんだ問題点のうち、1V 動作時の歪みは MOS のプロセスばらつきによる事を示した。また精度のリミットとなるノイズ源として E_{com} 以外にフィルタの kT/C ノイズがあり、これを考慮すると CDS により SNR が 7dB 改善する事を示した。今後の課題として、残る 100MHz 動作ができなかった原因を解析し、上記問題点をふまえた新構成を検討する。

謝辞

本研究を行うにあたり、多大なる御指導を賜った杉本泰博教授に心より感謝の意を表します。

参考文献

- [1] 松澤昭, ナノ CMOS 時代のアナログ技術の課題と動向, 東京工業大学大学院 理工学研究科, 2007.
- [2] 坂本達哉, "1V 動作が可能なパッシブ型 $\Sigma\Delta$ 変調器回路に関する研究" 中央大学大学院 理工学研究科 電気電子情報通信工学専攻 2007 年度修士論文
- [3] F.Chen, S.Ramaswamy, B.Bakkaloglu, "A 1.5 V 1 mA 80 dB Passive ADC in 0.13 μm Digital CMOS Process," ISSCC Dig, Tech. Papers, pp. 54-55, Feb., 2003.
- [4] T. Sai, Y.Sugimoto, "Design of 1-V Operational Passive Sigma-Delta Modulator" European Conference on Circuit Theory and Design 2009, pp. 751-754, August 2009
- [5] C. C. Enz, G. C. Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections; Autozeroing, Correlated Double Sampling, and Chopper Stabilization" Proceedings of the IEEE, Vol. 84, No. 11, November 1996