

## 小型液晶ディスプレイ用ディレイバッファ回路と

### サンプリングスイッチの最適設計手法に関する研究

## A Study on a Design of Optimal Sampling Switch and Delay Buffer Circuit for small LCDs

電気電子情報通信工学専攻 築山研究室 修士 2年 長谷川 極

### 1 概要

集積回路を液晶ディスプレイ (LCD: Liquid Crystal Display) と同一ガラス基板上に作り込む SoG (System-On-Glass) 技術は、製品の部品数を少なくし、作業工程の簡素化や製品の原価を抑え、LCD 技術の発展に大きく貢献している。現在、液晶ディスプレイはパソコンやスマートフォンなどの幅広い製品に用いられ、コストの面で優れており、需要は大きい。

しかし製造バラつきのため回路設計自動化技術が確立しておらず、エンジニアの大きな負担となっている。また、SoG 技術では、液晶ディスプレイ用駆動回路を画面の周囲に配置するため、特に瀬間額縁が望まれる小型液晶ディスプレイ用駆動回路では、回路の面積を大きくとれず、その設計は困難なものとなっている。

このような製造ばらつきや回路面積制約においても、液晶ディスプレイ用駆動回路では液晶ディスプレイの表示品位を保つことが重要である。一般的な回路の性能評価指標に加え、画素充電率を考慮した液晶ディスプレイ用駆動回路の回路設計法が望まれている。

そこで本研究では、液晶ディスプレイ用駆動回路において、画素にビデオ信号を伝えるサンプリング回路と、そのサンプリング回路の入力波形を生成するディレイバッファ回路に注目し、画素充電率のばらつきを小さくするようなサンプリング回路とディレイバッファ回路、およびサンプリングパルスの設計方法を提案する。

### 2 液晶ディスプレイ用駆動回路

Active matrix 方式の液晶ディスプレイ用駆動回路の概略図を図 2.1 に示す。ゲートドライバ回路が 1 つの行を指定している間に、ソースドライバ回路がその行に存在するすべての画素に対して、各画素に対応したビデオ電圧を印加する。したがって、ゲートドライバ回路よりもソースドライバ回路の動作速度 (性能) が回路全体に大きな影響を与えることがわかる。

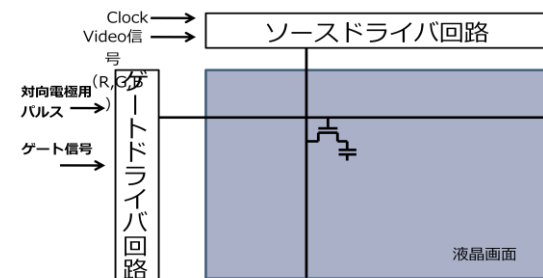


図 1 液晶ディスプレイ駆動回路概略図

ソースドライバ回路の概略図を図 2 に示す。シフトレジスタは、入力される小振幅なクロック信号から、各列の一山分のパルスを生成し、レベルシフタを用いて適切な電圧を持つパルスに変換する。

遅延回路は、サンプリングパルスのパルス幅を調節する。バッファ回路は、遅延回路からの出力パルスの立ち上がり時間、および立ち下がり時間の長さを調節する回路である。今回対象とするサンプリング回路は CMOS スイッチであるため、正負の反転した一組のサンプリングパルス (SMP, SMPB) が必要になる。

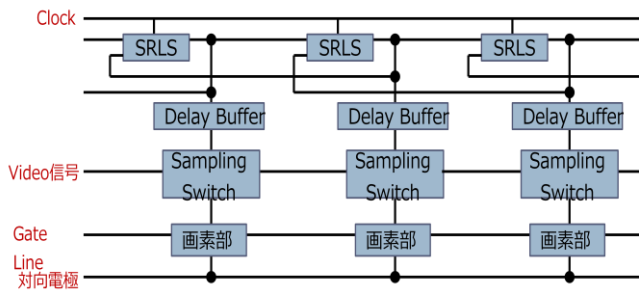


図 2 ソースドライバ回路概略図

### 3 サンプルング回路とディレイバッファ回路、及びサンプルングパルスの最適設計法

液晶ディスプレイ用駆動回路では表示品位に関係する画素充電率という評価指標が重要である。どのような回路動作条件であっても、電源電圧やトランジスタ性能などがどのようにばらついても、画素充電率を可能な限り 100%に近づける必要がある。画素充電率を変化させる要因は、トランジスタや電源電圧のばらつき、また画素容量に印加したビデオ電圧の値やその書き込み状態がある。そこで、コーナー解析手法を用いて、画素充電率をできる限り 100%に近づけるサンプルング回路とディレイバッファ回路のゲート幅、及びサンプルングパルス波形を決定する設計法を提案する。

回路動作条件は表 2.1 に示す項目を考慮する。n, および p は nMOS および pMOS を、B, T, および W はそれぞれ Best, Typical, 及び Worst を表す。

サンプルング回路の設計において決めるべき変数は、nMOS と pMOS のゲート幅  $W_n, W_p$ , サンプルングパルスの立ち上がり時間  $t_r$ , 立ち上がりと立下りの間の平坦部分の時間  $t_w$ , 立下り時間  $t_f$ , 及び SMP と SMPB のズレ  $\delta_{SMP}$  の 6 つである。

表 1 ソースドライバ回路の回路動作条件

画素充電率変動の原因	種類
書き込み動作	プラス書き込み, マイナス書き込み
ビデオ電位	highest, typical, lowest
SMP パルスの高電位	$V_{high+U_{high}}, V_{high}, V_{high-U_{high}}$
SMP パルスの低電位	$V_{low+U_{low}}, V_{low}, V_{low-U_{low}}$
トランジスタモデルの組み合わせ	$nBpB, nBpW, nWpB, nWpW, nTpT$

### 4 設計手法

サンプルング回路の設計において決めるべき変数は、nMOS および pMOS のゲート幅  $W_n, W_p$ , SMP パルスの立ち上がり時間  $t_r$  と立ち下り時間  $t_f$ , および高電位になっている時間  $t_w$ , そして SMP と SMPB のずれ  $\delta_{SMP}$  の 6 つである。 $W_n$  および  $W_p$  は、バッファ回路設計における負荷トランジスタのサイズとなり、 $t_r, t_f$ , および  $\delta_{SMP}$  は設計目標値となる。ここで設計すべき変数を  $t_r$ , および  $W_n$  の 2 つに削減し、他は  $t_r$  または  $W_n$  の関係式から導く。

画素充電率が最大の値  $RPV_{max}$  および最小の値  $RPV_{min}$  を考え、これらを 100% に近づけることを考える。ある  $t_{r-max}$  に対して、 $RPV_{min}$  および  $RPV_{max}$  の値は  $W_n$  に関して、図 3 のように変化する。

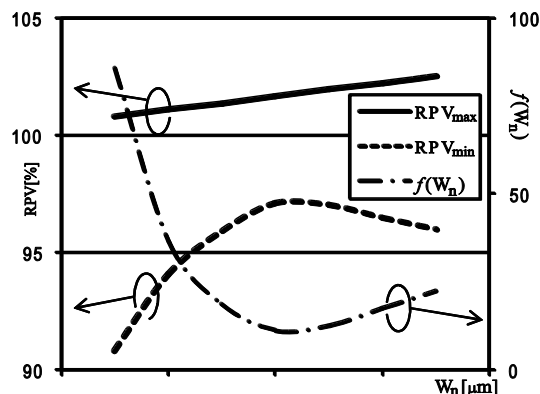


図 3  $W_n$  に対する画素充電率  $RPV_{min}, RPV_{max}$ , 及び目的関数  $f(W_n)$  の変化

図 3 より画素充電率の変動範囲 [ $RPV_{max}, RPV_{min}$ ] が最小となる  $W_n$  が存在することがわかる。そこで、この範囲を小さくし、かつ 100% に近づけるよう、次の目的関数  $f(W_n)$  を導入する。図 3 には  $f(W_n)$  のグラフの概形も示す。

$$f(W_n) = (RPV_{max} - 100)^2 + (100 - RPV_{min})^2 \quad (1)$$

ここで前節の回路動作条件全てを考慮していたのでは効率が悪いので、書き込み状態やばらつきの中から、画素充電率が 100% を超えにくいもの (Case-Difficult) と超えやすいもの (Case-Easy) を抽出し、Case-Easy の場合の中で最大の画素充電率の値を  $RPV_{max}$  とし、Case-Difficult の場合の中で最小の画素充電率の値を  $RPV_{min}$  とする。

$RPV_{max}$  が  $W_n$  に対して単調に増加し、 $RPV_{min}$  が  $W_n$  に関して単峰性があることから、 $W_n$  を一意的に決定できる。ここでは、黄金分割法を用いて  $W_n$  を決定する。

## 5 最適化結果

提案手法および指標の性能を評価するため、複数の  $(t_{r-max}, W_n(t_{r-max}))$  の組を導出し、バッファ回路を設計してみた。

まず、 $t_{r-U}$  を 8 等分し、8 個の  $t_{r-max}$  の値に対して、 $(t_{r-max}, W_n(t_{r-max}))$  の組を求めた。その結果を図 4 に示す。なお、これら 8 個の結果を得るのに要した時間は、回路シミュレータとして SmartSPICE を用いた場合、Pentim4, 3.2GHz で約 200 分であった。

図 4 (a) は、SMP スwitch のゲート幅  $W_n(t_{r-max})$  の変化を、得られた 8 個の  $W_n(t_{r-max})$  の最小値に対する比で示したものである。ここで、 $t_{r-max}$  が大きくなるにつれて、 $W_n(t_{r-max})$  も大きくなるのは、 $t_w$  が短くなり、画素が充電され難くなるので、画素充電率を維持するために、 $W_n$  を大きくする必要があったことを示す。

同図(b) は、目的関数  $f(W_n(t_{r-max}))$  の値を示し、各点の傍に示した数の組は、上が  $RPV_{max}-100$ 、下が  $100-RPV_{min}$  の値である。これより、 $t_{r-max}$  が小さいほうが、画素充電率の変動が小さく、ばらつきに対して堅固な回路となることが分かるが、 $t_{r-max}$  を小さくするとバッファ回路の設計が困難となる。

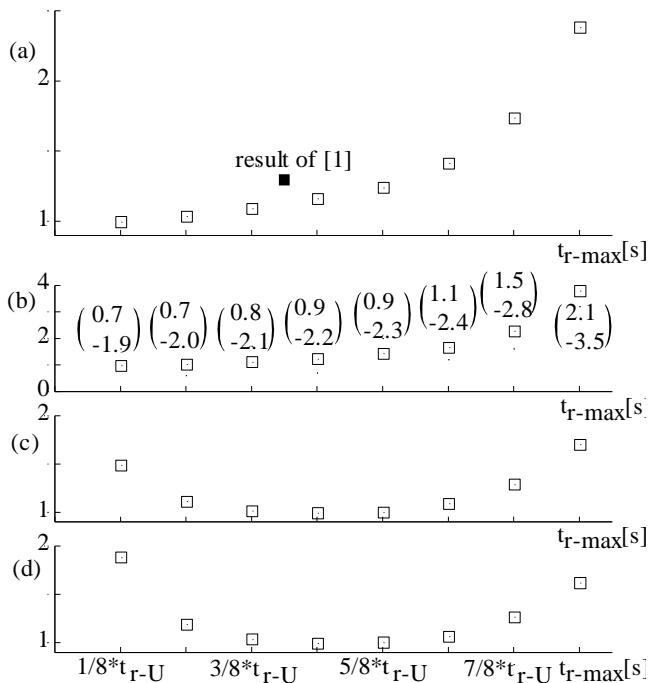


図 4 :  $(t_{r-max}, W_n)$  の組

- (a)  $W_n$  の変化 (b) 目的関数の値  
(c)  $A(t_{r-max})$  の変化 (d) バッファ回路の面積の変化

(c) は、指標  $A(t_{r-max})$  の変化を最小値に対する比で表したものである。 $A(t_{r-max})$  が、 $t_{r-max}$  が小さいとこ

ろで大きいのは、 $t_r$  の小さな SMP パルスを生成することが困難であるためであり、 $t_{r-max}$  が大きいところで大きいのは、負荷である SMP スwitch のゲート幅が大きいためである。

これらより、 $t_{r-max} = t_{r-U}/2$  の付近が、 $A(t_{r-max})$  も  $W_n$  も共に小さく、画素充電率の変動も小さくなっているため、サンプリング回路およびバッファ回路の両方に対して好ましいことが分かる。

次に、指標  $A(t_{r-max})$  が、実際に得られるバッファ回路の面積を精度良く見積もっているかを調べるため、SmartSPICE に付属しているオプティマイザを用いて、バッファ回路を設計した。

バッファ回路は、初段のインバータへの入力遅延回路からの標準的なランプ波形を有するパルスとする。初段のインバータのゲート幅は最小サイズとして、変化させず、これ以外のインバータのゲート幅を最適化変数とし、SMP パルスの立上り時間および立下がり時間の指定値  $t_{r-max}$  および  $t_{f-max}$  からの差を目的関数とした。また、回路の動作条件は、最も過酷な状況を想定し、高電位が  $V_{high}-U_{high}$ 、低電位が  $V_{low}+U_{low}$ 、トランジスタモデルは nWpW を用いた。

オプティマイザに入力した各最適化変数の初期値は、pMOS のゲート幅を nMOS のゲート幅の 3 倍とし、Cascade buffer (tapered buffer) となるように、初段のインバータのゲート幅と、見積もった最終段のゲート幅から定めた。すなわち、ゲート幅が段数に応じて等比級数的に増加するように、次のように定めた。

例えば、図 4 の点線で囲まれた SMP パルスの立上り時間を決めるトランジスタのゲート幅は、これらを左から  $W_{1-n}, W_{2-p}, W_{3-n}, W_{4-p}$  とすると、 $W_{1-n}$  は初段なので最小サイズ、 $W_{4-p}$  は最終段なので  $W_{4-p} = W_{bufp}$  とし、 $W_{2-p}$  および  $W_{3-n}$  はそれぞれ  $W_{2-p} = (W_{1-n} * r_p) * 3$  および  $W_{3-n} = W_{1-n} * r_p^2$  とする。ここで、 $r_p$  は、 $W_{4-p} = (W_{1-n} * r_p^3) * 3$  なる関係から定め、 $r_p = (W_{bufp} / 3 / W_{1-n})^{1/3}$  とする。他の変数についても同様な方法で定める。このような初期値は、ステップ波形を用いて見積もったゲート幅であるため、SMP パルスの立上りおよび立下がり時間が指定された  $t_{r-max}$  および  $t_{f-max}$  になっておらず、オプティマイザが各ゲート幅を変化させて、指定した値に近づけるが、その際、このような初期値を与えておくと、最適化に要する時間を短縮できると予想される。

図 4 (d) に、こうして得られたバッファ回路の面積を最小値に対する比で示す。同図(c) と比べることにより、指標  $A(t_{r-max})$  が、実際のバッファ回路の面積の大小を忠実に見積もっていることが分かる。従って、指標  $A(t_{r-max})$  を用いて、バッファ回路の設計を実行する順序を決定することができる。

最後に、 $(t_r, W_n)$  の組を、図 4 (a) に黒い四角で示す。提案手法で得られた結果と比較すると、同程度の  $t_{r-max}$  に対して  $W_n$  が大きくなっていることが分かる。

## 6 まとめ

画素充電率のばらつきを小さくするようなサンプリング回路に含まれる CMOS スイッチのゲート幅とサンプリングパルスの形状の設計手法を提案した。提案手法および提案指標の性能を評価するため、SPICE を用いて実用的回路の設計を行った。その結果、SmartSPICE 付属のオプティマイザと比較して、画素充電率のばらつき、および回路面積に関して同程度の結果を、11 分の 1 以下の時間で得ることができた。また、提案指標が示すバッファ回路の面積の大小は、実際のバッファ回路の面積の大小関係と同じであることが確認でき、その有効性を確認できた。

提案手法を用いて求めた解を満たす駆動回路全体を設計したところ、以前に人手によって設計された回路に比べ、画素充電率の設計要件を満たす小面積な回路を設計できた。

サンプリング回路以外のバッファ回路、ディレイ回路のための、ばらつき耐性を持つ回路の設計方法およびばらつき耐性の評価方法の確立が今後の課題である。

## 謝辞

本研究を進めていくにあたり、ご指導、ご教授頂いた築山修治教授に深く感謝するとともに御礼を申し上げます。また、3 年間さまざまな場面で協力してくれた先輩方や同期の仲間たちにも深く感謝いたします。

## 参考文献

- [1] E.Lueder, *Liquid Crystal Displays: Addressing Schemes and Electro-Optical Effects*, John Wiley & Sons, 2001.
- [2] J.Ohwada, M.Takabatake, Y.A.Ono, A.Mimura, K.Ono, N.Konishi, "Peripheral circuit

integrated polySi TFT LCD with gray scale representation", *IEEE Trans. Electron Devices*, vol.36, no.9, pp.1923-1928, 1989.

- [3] J.H.Atherton, "Integrating electronics into active matrix liquid crystal displays", *Proc. IEEE Conf. AMLCD*, pp.58-65, 1995.
- [4] L.G.Lewis, D.D.Lee, and R.H.Bruce, "Polysilicon TFT circuit design and performance", *IEEE J. Solid-State Circuits*, vol.27, no.12, pp.1833-1842, 1992.
- [5] J.H.Shieh, M.Patil, and A.J.Sheu, "Measurement and analysis of charge injection in MOS analog switches," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 2, pp. 277-281, 1987.
- [6] G.Wegmann, E.A.Vittoz, and A.Rahali, "Charge injection in analog MOS switches," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp.1091-1097, 1987.
- [7] W.H.Press, S.A.Teukolsky, W.T.Vetterling, and B.P.Flannery, *NUMERICAL RECIPES in C : The Art of Scientific Computing*, Press Syndicate of the University of Cambridge, 1988
- [8] 榎本忠義, *CMOS 集積回路*, 培風館, 1996.
- [9] SmartSPICE, [http://www.silvaco.com/products/circuit\\_simulation/smartspace.html](http://www.silvaco.com/products/circuit_simulation/smartspace.html)
- [10] S.Takahashi, S.Tsukiyama, M.Hashimoto, and I.Shirakawa, "A sampling switch design procedure for active matrix liquid crystal displays," *IEICE Trans. on Fundamentals*, vol.E89-A, no.12, pp.3538-3545, 2006.
- [11] L.W.Linholm, "An optimized output stage for MOS integrated circuits," *IEEE J. of Solid-State Circuits*, vol.10, no.2, pp.106-109, 1975.
- [12] L.W.Linholm, and R.C.Jaeger, "Comments on 'An optimized output stage for MOS integrated circuits ' [and reply]," *IEEE J. of Solid-State Circuits*, vol.10, no.3, pp.185-186, 1975.