

# 高精度サイクリック A/D 変換器を実現する、 素子ばらつきに依らない

## 最適なクロックドライバ回路の研究

A research of a 50MHz clock driver circuit  
independent of elements variation  
to realize the high resolution cyclic A/D converter.

電気電子情報通信工学専攻 落合 洋夫

Hiroo Ochiai

### 1 はじめに

近年、情報のデジタル化により多くのシステムにおいてアナログ・デジタル混載の回路が用いられている。デジタル信号はアナログ信号と比較して圧縮、伸張、伝送、加工が容易であるなどといった利点を持つ。しかし、現実世界において、映像、音などの我々人間が認識できる自然界の情報はすべてアナログ信号である。そのため、アナログ回路とデジタル回路のインターフェースとなる A/D 変換器が必要不可欠となる。A/D 変換器にはいくつかの変換方式があるが、低電源電圧化に対応し、省面積化のニーズにも対応した A/D 変換器として、サイクリック (循環) 型 A/D 変換器がトレンドである。また、素子の微細化により集積回路の集積度は向上したが、微細化に伴う素子耐圧の低下のために低電源電圧で動作する集積回路が求められる。本稿では、電源電圧 1.8V、14bit、動作周波数 50MHz で動作するサイクリック型 A/D 変換器を実現する回路について述べる。

### 2 サイクリック型 A/D 変換器の構成

図 1 にサイクリック型 A/D 変換器のブロック図を示す。入力信号を S/H 回路にてサンプル、ホールドし、サイクリック部に入力される。サイクリック部では、1.5 bit のデジタルコードの出力とデジタル判定結果と入力信号の残差を 2 倍化した信号を次段へ出力する機能を持つビットブロックと、データを保持し出力するサブ S/H 回路により構成されており、これらを  $n-1$  回ループすることにより、 $n$  bit 精度の A/D 変換を実現する。サイクリック部の各ブロックに要求される A/D 変換の速度は全体の出力 bit 数に関係なく 1 bit/1 クロックサイクルでよい。前段のビットブロックがホールド期間に A/D 変換と誤差増幅を行っている間、後段のサブ S/H 回路はサンプル動作を行っており、次の 1/2 クロックサイクルで正確に 1 倍された信号をビットブロックに出力

する。このように 1 bit の演算を行う毎に各ブロックの動作が正しいタイミングでサンプルホールド動作を行う必要がある。また、クロックを生成するクロックドライバ回路で発生する誤差は各ブロックの動作に影響するため、あらゆる動作状況やばらつきに対して、各ブロックにその影響を与えず、正しいタイミングのクロックが生成されなければならない。本論分では、ばらつきに依らないクロックドライバ回路の設計完了を目的とする。

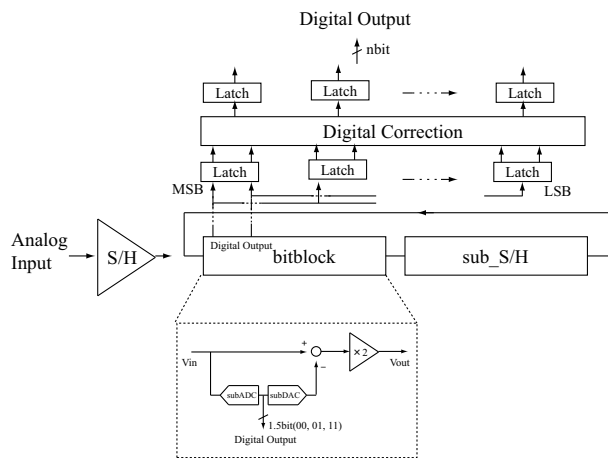


図 1: サイクリック型 A/D 変換器

#### 2.1 サイクリック型 A/D 変換器の構成

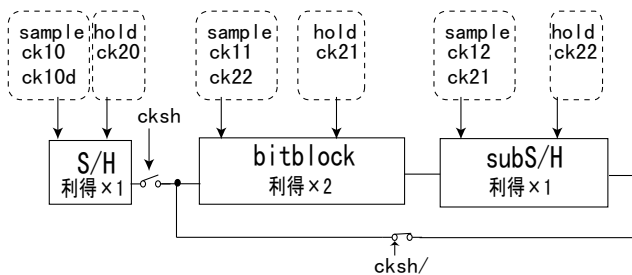


図 2: クロックドライバ回路

図 2 に各ブロックに必要なクロックを示す。サイクリック

ク部の各ブロックではそれぞれサンプルモード、ホールドモード動作があるため、ビットブロック及びサブS/H回路に必要なクロック数は合計で4つ必要である。また、サイクリック部を必要精度分ループ動作させている場合、S/H回路からの出力を遮断する必要があるため、S/H回路とサイクリック部にスイッチを付加した。このスイッチは14ビット出力後、新しいデータをサイクリック部に入力する際のみオンする必要があるため、クロックckshは14クロック毎に立ち上がる必要がある。また、S/Hにおいても同様にサンプルモードとホールドモードのクロックが必要であるが、サイクリック部への出力は14クロック毎のみであるため、クロックckshと同様に14クロック毎に動作する。

## 2.2 クロックドライバ回路

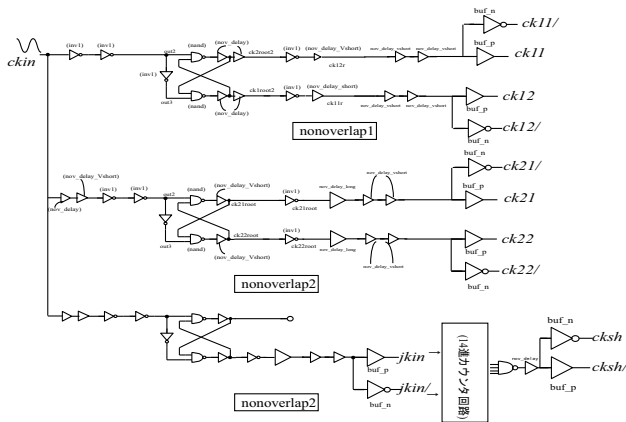


図 3: クロックドライバ回路

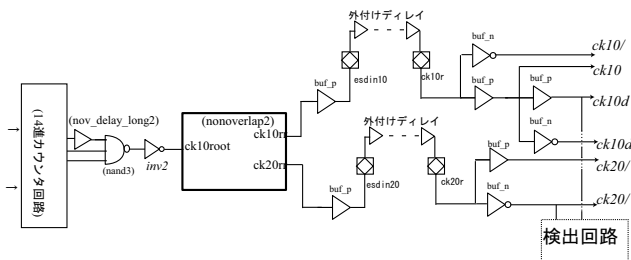


図 4: ck10,ck10d,ck20 生成回路

図 3、図 4 にクロックドライバ回路を示す。クロックドライバ回路は3つのブロックが並列になっており、基準クロックckinが各々のブロックに入力されることになる。入力された基準クロックはそれぞれ、図3のnonoverlap1及びnonoverlap2回路に入力される。nonoverlap1とnonoverlap2で生成されるクロックのノンオーバーラップ期間に差をつけることで、各クロック波形を生成する。その際、各nonoverlap回路で起きる遅延時間が異なるため、ディレイを通過させることでクロックタイミングの微調整が行われる。最終段にはバッファがあり、CMOSスイッチのPMOSとNMOSのクロックに分断されて出力される。ckshクロックは上述と同様に設計しているが、14回に1回立ち上がるのみ

であるため、14進カウンタ回路を加えて実現している。S/H回路のクロックもckshと同様に、14回に1回立ち上がるのみであるため、ckshで用いた14進カウンタ回路を通過後、nonoverlap2を経てS/H回路のクロックを生成する。しかし、この方法では2回nonoverlap回路を通過してしまい、生成するクロックのタイミングがビットブロックのそれと大きくずれてしまう。今回は図4に示すようにクロックタイミングを検出する回路を設計し、チップ外部で任意のディレイを繋ぎタイミングを合わせる手法を取る。

## 3 試作回路の評価

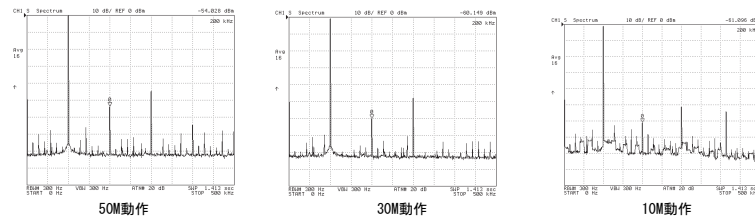


図 5: FFT 波形

A/D変換器の出力をDACで変換し、FFTを行った。図5は入力周波数 $f_{in} = 100kHz$ 、入力電圧フルスケール $FS = 1.6V$ において、動作周波数を変化させた時のそれぞれの波形である。図5より、50MHzにおいてSFDRが45dB動作周波数に応じて、ノイズフロア付近の高調波が変化しており、クロックに依存して特性が現れていると考えられる。

### 3.1 クロックタイミングのずれによる劣化

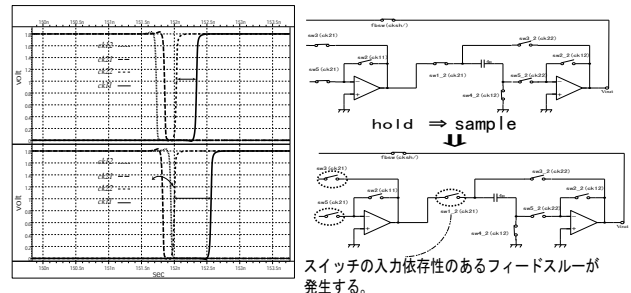


図 6: クロックタイミングの変化

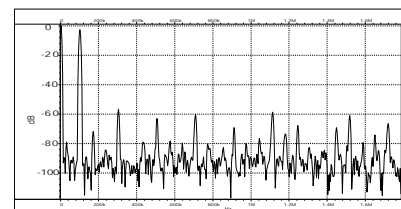


図 7: クロックタイミングが変化した場合の動作

基準クロックがsin波であることを考えると、インバータのNMOSとPMOSの閾値電圧 $v_{thn}, v_{thp}$ は異なるため、デューティ比が50%でない矩形波が生成される。この現象は基準クロック周波数が低周波であれば顕著になる。加えて、図3の入力部に注目すると、ク

ロックドライバ回路の入力部のインバータの段数が異なる。これは、nonoverlap1 と nonoverlap2 で生成されるクロックタイミングを合わせるためのものである。しかし基準クロックが sin 波の場合、インバータの段数が異なることで各ブロックでの A 点での矩形波の立ち上がり時間が異なる。そのため各 nonoverlap 回路で生成されたクロックはその分だけパルス幅に影響が出てしまう。基準クロックを sin 波で動作周波数を変化させた時のクロック波形を図 6 に示す。図よりサンプルモードに必要な 2 種類のクロックのタイミングが入れ替わっていることが分かる。クロックタイミングが入れ替わった場合、スイッチから入力依存性のあるフィードスルーがキャパシタに蓄えられてしまい、精度が大きく劣化すると考えられる。(図 6 右)。この時の FFT 波形を図 7 に示す。A/D の特性が大きく劣化していることが分かる。以上の 2 点より、クロックドライバ回路は基準クロックが sin 波においてもデューティ比が変化することなく動作し、生成されるクロックが常に同期するように補正する必要がある。

### 3.2 クロックの遷移点のずれによる特性劣化

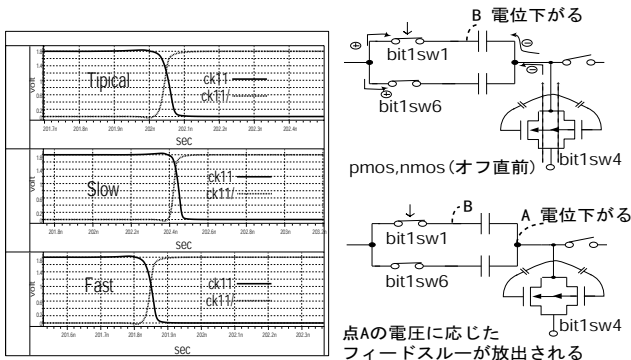


図 8: 素子ばらつきによる遷移点の変化と回路動作

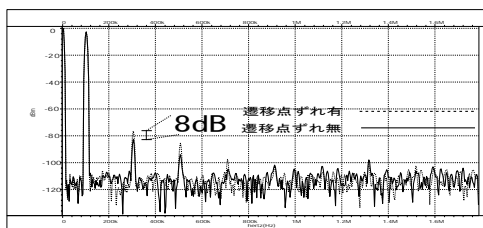


図 9: 遷移点に変化による特性への影響

図 8 に  $V_{th}$  を  $\pm 10\%$  のプロセスばらつきを持たせた時の生成されるビットブロックのサンプルモードのクロック ck11 と ck11/ の波形を示す。尚、各スイッチは CMOS 構成であるため、生成するクロックは clk に対して反転した clk/ がある。上から Typical、Slow ( $V_{th}+10\%$ )、Fast ( $V_{th}-10\%$ ) の波形である。波形より、Typical に比べて SS、FF でのクロック波形の遷移点は 10psec 程ずれていることが分かる。図 8 にビットブロックのサンプル時の回路動作を示す。bit1sw4 がオフしようとする際、フィードスルーが発生し C1、C2 に電荷がチャージされ

ていく。電荷がチャージされた際、C の両端の電荷量が同じになるように電荷がチャージされるが、bit1sw1 にはスイッチのオン抵抗が存在するため、電圧降下が発生し瞬間的に B 点の電圧が変化する。そのため A 点の電位も同様に変化する。結果、sw4 からは A 点の電圧に応じたフィードスルーが放出される。ここで同様の現象を N 側に当てはめて考えると、入力電圧は差動であるので入力電圧が P 側と異なるため、N 側の bit1sw1 のオン抵抗が P 側のそれとは異なる。よって B 点での電位の変化も P 側と異なり A 点の電位も同様に異なる。そのため N 側と P 側で放出されるフィードスルーが異なり、キャパシタに蓄えられる電荷量が異なるため差動の誤差として現れる。ここで ck11 と ck11/ の遷移点がずれた場合を考える。ck11 と ck11/ の遷移点がずれた場合、NMOS と PMOS で放出される電荷量の差が大きくなる。そのため P 側と N 側に蓄えられる電荷量は上述した誤差に加えられることになる。SS の時の波形を理想クロックで再現し、FFT したものを図 9 に示す。図 9 より精度が劣化していることがわかる。

## 4 クロックドライバ回路の設計

### 4.1 バッファ

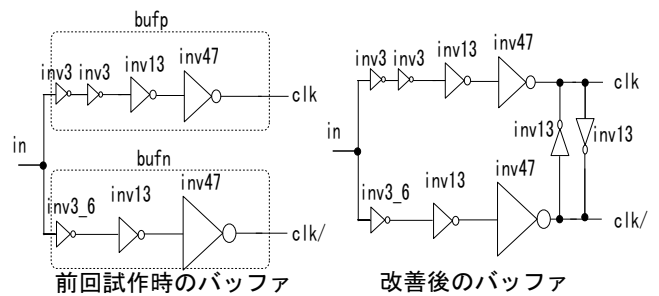


図 10: バッファの構成

まず遷移点のずれを考える。図 10 にバッファの構成を示す。CMOS スイッチを動作させるため、出力クロック clk に対して反転したクロック clk/ が必要であるため、出力バッファのインバータの段数が clk と clk/ で異なる。clk と clk/ での段数の違いを考慮し、片側のバッファの寸法を調節し遷移点を合わせていたが、これらはばらつきの影響を受けることで変動しやすい(図 10 左)。そこで図 10 右の bufAD に示すように、最終段に互いに行き交うインバータを接続した。これにより、互いの出力部に電流を流すことで矩形波のなまりを抑え、遷移点のずれを低減できる。

### 4.2 クロックドライバ部

図 11 に改善したクロックドライバ回路を示す。まず、入力部のインバータの段数によるクロック波形への影響を無くすために、入力段に同様の数のインバータを繋いだ。また、ノンオーバーラップ回路への入力、正転した矩形波と反転した矩形波が必要である。前回試作では反転側の入力のみインバータを用いたが、その分遅延が発生し生成される波形に影響があった。そこで、

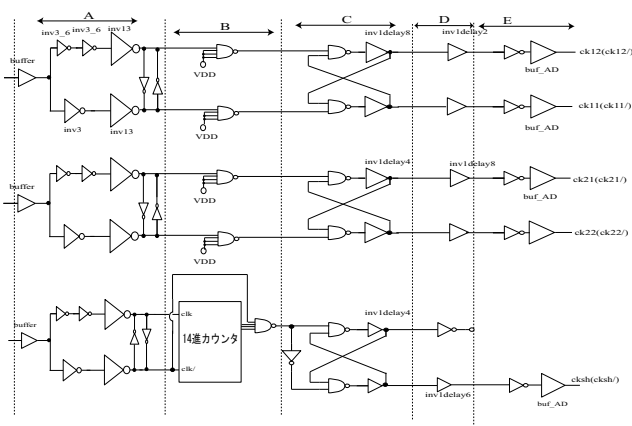


図 11: 改善したクロックドライバ回路

上述した出力バッファと同じ構成の同期型バッファを入力段に接続した。これによりノンオーバーラップへの2つの入力矩形波は同期することができる。

前回試作では後段のディレイ素子を、求める遅延時間に応じていくつかの種類のディレイを接続していた。しかし、素子ばらつきの影響によりディレイ素子のドライブ能力がばらついてしまい、遅延時間に影響が現れてしまった。そこで、各区間(区間A、区間B...)において使用する全ての素子を同じものを用いて構成した。これにより、各ノードの寄生容量を同じにし、各ブロック間での素子のドライブ能力をそろえることで、ばらつきの影響を抑えた。例えば、区間Bにおいて、ckshには nand 回路が必要不可欠である。そこで、各ブロックでの区間Bに同様の素子の nand を接続することで、各ノードの寄生容量をそろえ、同期することができる。

### 4.3 サイクリック型 A/D 変換器の構成の改善

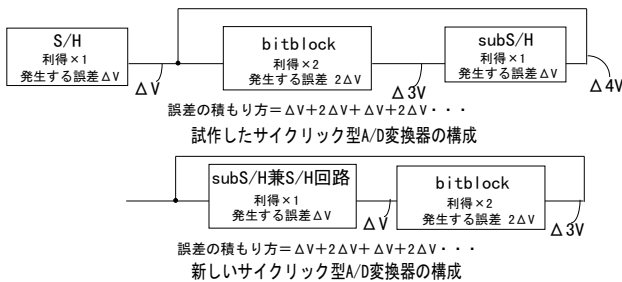


図 12: サイクリック型 A/D 変換器の構成の比較

サイクリック型 A/D 変換器には初段に S/H 回路を通過し、その後ビットブロック回路とサブ S/H 回路をループする動作をする。ここで、サブ S/H 回路と S/H 回路は同じ構成であり、役割も同じであることに注目すると、S/H 回路とサブ S/H 回路は兼用することが可能であると考えられる。図 12 に試作したサイクリック型 A/D 変換器と新しいサイクリック型 A/D 変換器の構成を示す。試作したサイクリック型 A/D 変換器において、S/H 回路で発生する誤差を  $V$  とする。サブ S/H 回路と S/H 回路は同様の構成であるため、発生する誤差も同様に  $V$  である。またビットブロックの基本的な構成は S/H

回路と同じであるが、利得が 2 倍であることから、発生する誤差は  $2V$  である。これより、誤差の積もり方を計算すると、 $V_{all} = V + 2V + V + 2V + \dots$  となる。これはサブ S/H 回路と S/H 回路を兼用したものと同じである。これにより、精度に影響を与えることなく、サイクリック型 A/D 変換器の面積を縮小できる上、クロック数を低減することが可能である。即ち、試作した時のサイクリック A/D 変換器の S/H 回路のクロック ck10、ck10d、ck20 が不要となる。

## 5 シミュレーション

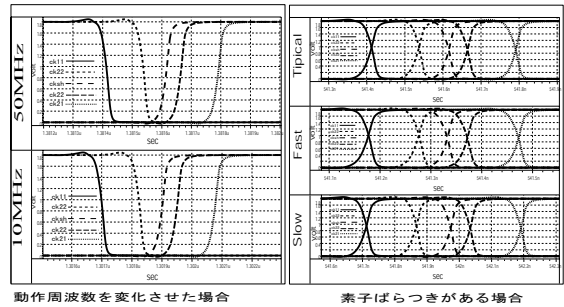


図 13: 改善後のクロック波形

図 13 に生成されたクロック波形を示す。図の左は動作周波数を 50MHz と 10MHz で動作させたときのものである。いずれの動作周波数においても、クロックタイミングが入れ替わることなく生成されており、全く同じタイミングで動作できている事が分かる。また図の右は素子ばらつきを持たせた時のものである。同様に、全ての場合で正しいクロックタイミングが得られている。また CMOS スイッチの NMOS と PMOS のクロックの遷移点が素子ばらつきにおいても一定であることが分かる。

## 6 結論

本研究では、サイクリック型 A/D 変換器のクロックドライバ回路の設計について述べた。クロックによる特性劣化の原因を特定し、クロックドライバ回路の各ブロックを改善した。結果、動作周波数や PVT ばらつきに影響無く動作することを実現した。今後の課題は、容量ばらつきを考慮した容量交換手法を適応させることである。

## 参考文献

- [1] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [2] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill Companies, Inc., 2001.
- [3] 宮原 正也, 松澤 昭, 'スイッチのオン抵抗がパイプライン型 ADC 性能に及ぼす影響とセトリング時間最適設計技術の検討,' 電子情報通信学会技術研究報告. ICD, 集積回路 107(163), 35-40, 2007-07-19