

# コルピッツ発振回路の位相雑音を Q 値増大により 低減する手法の研究

## A research of reducing phase noise for a Colpitts oscillator by applying the Q-factor enhancement scheme

電気電子情報通信工学専攻 薬師寺 祐介  
Yusuke Yakushiji

### 1 はじめに

近年のワイヤレス通信技術の発展に伴い、利用可能な周波数が少なくなっており電波利用の狭帯域化が求められている。狭帯域化のためには低位相雑音の発振器が必要であり、LC 共振器を用いた VCO (Voltage Controlled Oscillator) においては共振回路の Q 値を上げることで位相雑音が低減できることが知られている。しかし従来の方法は LSI のアセンブリプロセスに手を加えるものあり、コストの増大が問題であった。そこで本研究では回路技術のみでインダクタの Q 値を上げる手法に着目し、この手法を適用した VCO の回路構成を提案した。また試作したコルピッツ発振回路の実測を行い、シミュレーションと実測結果の違いを確認し原因検討を行った。

### 2 位相雑音の定義

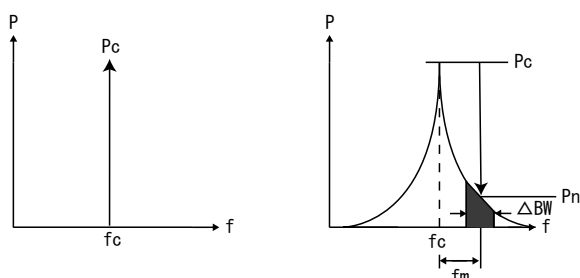


図 1: 発振器の位相雑音の定義

図 1 に示すように、 $f_c$  で発振する理想的な正弦波発振器のスペクトラムはインパルスで表されるのに対し、実際の発振器のスペクトラムは発振周波数の両側に広がるスカート特性を持つ。このとき位相雑音は式 (1) のように表され、 $f_c$  の発振周波数において  $f_m$  だけ周波数オフセットした点における単位帯域内の雑音電力と搬送波の電力の比によって定義される。

$$\text{位相雑音} = \frac{\text{単位帯域の雑音電力}}{\text{搬送波電力}} \quad (1)$$

### 3 位相雑音抑制の必要性

VCO には位相雑音をなるべく小さく設計することが求められている。図 2(a) に簡略化した受信器の回路ブロックを示す。アンテナに微弱な所望波と隣接した周波数に強い妨害波が同時に受信された場合を考える (図 2(b))。位相雑音の小さい VCO で受信した場合の IF 信号を図 2(c) に、位相雑音の大きい VCO で受信した場合の IF 信号を図 2(d) に示す。図 2(c) は妨害波に埋もれることなく所望波を受信できるのに対し、図 2(d) では妨害波の雑音に埋もれてしまっている。このように高感度の RF 受信器を実現するには、位相雑音を小さくすることが重要である。

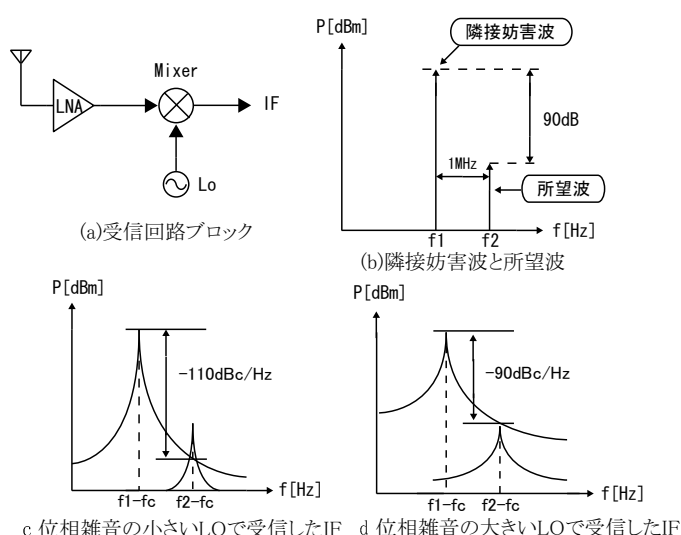


図 2: 発振器の位相雑音の定義

#### 4 発振器の位相雑音特性

LC-VCO の位相雑音は一般的に式 (2) によって表される。

$$L(\Delta f) = 10 \log \left[ \frac{2F_N kT}{P_{sig}} \left\{ 1 + \left( \frac{f_0}{2Q\Delta f} \right)^2 \right\} \left( 1 + \frac{f_{FC}}{|\Delta f|} \right) \right] \quad (2)$$

$F_N$ : デバイスノイズパラメータ       $k$ : ボルツマン定数  
 $T$ : 絶対温度       $P_{sig}$ : 発振のパワー  
 $Q$ : 共振回路の  $Q$  値       $f_0$ : 発振周波数  
 $\Delta f$ : オフセット周波数       $f_{FC}$ : フリッカコーナ周波数

図 3 は式 (2) をグラフにしたものである。グラフの横軸は発振周波数からのオフセット周波数をログスケールで表しており、縦軸は位相雑音を表している。この図より、位相雑音は低オフセット周波数ではフリッカ雑音により -30dB/dec の傾きを持ち、中域ではアンプの熱雑音により -20dB/dec の傾きを持つことが分かる。高域では一定値となり、これは回路の熱雑音の成分である。一般的にノイズフロアと呼ばれる。

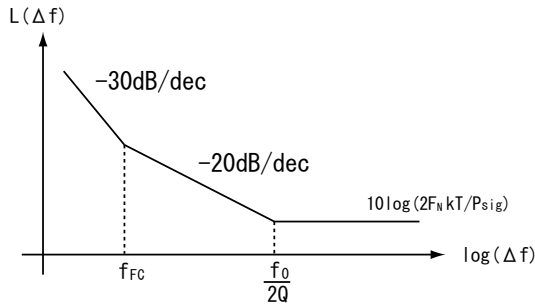


図 3: 実際の発振器の位相雑音特性

式 2 から分かるように位相雑音は、 $F_N$ 、 $P_{sig}$ 、 $Q$  などによって決定される。 $F_N$  はプロセスによって決まり、 $P_{sig}$  を上げると消費電力の増大を招く。そのため共振回路の  $Q$  を上げることが有効的な手法である。オンチップの場合インダクタの  $Q$  値が支配的であるため、インダクタの  $Q$  値を上げることが課題となっている。インダクタの  $Q$  値を上げるため従来では以下の方法が用いられている (図 4)。

- ・スパイラルインダクタ配線の厚みを増す
- ・多層のスパイラルインダクタ配線を VIA でつなぐ
- ・ボンディングワイヤーをインダクタとして用いる
- ・導電率の高い素材を使用する

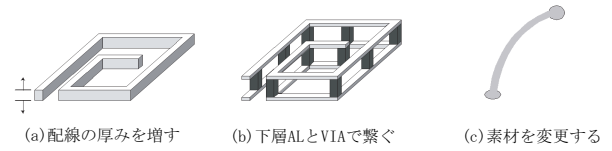


図 4: オンチップインダクタの  $Q$  値を上げる方法

#### 5 結合インダクタによる $Q$ 値増大手法と提案する回路モデル

結合インダクタを付加した VCO の回路モデルを図 5 に示す。このモデルでは出力電圧  $V_{out}$  を入力電圧とす

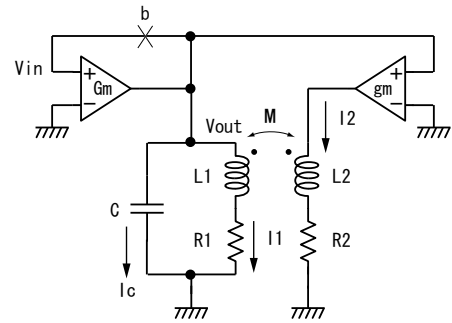


図 5: 結合インダクタを用いた LC-VCO モデル

る  $g_m$  アンプを用いて電圧電流変換を行い、二次側のインダクタ  $L_2$  に流れている。この回路について b 点で切断し開ループ利得を求めると、

$$\frac{V_{out}}{V_{in}} = G_m \frac{j\omega L_1 + R_1}{(1 - \omega^2 L_1 C) + j\omega(CR_1 - Mg_m)} \quad (3)$$

となる。位相条件より発振周波数、

$$\omega_0^2 = \frac{1}{L_1 C} - \left( \frac{R_1}{L_1} \right)^2 + \frac{Mg_m R_1}{L_1^2 C} \quad (4)$$

となる。振幅条件より発振に必要な  $G_m$  は、

$$G_m \geq \frac{1}{L_1} (CR_1 - Mg_m) \quad (5)$$

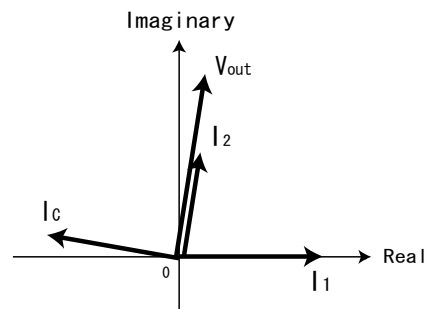


図 6: 図 5 のモデルのベクトル図

と計算される。式 (5) より二次側の  $g_m$  を  $g_m = \frac{CR_1}{M}$  と選んだ場合、 $\omega_0, Gm$  の計算結果から  $R_1$  が消え、発振に必要な  $G_m$  が 0 になる。これは共振回路での損失が 0 ということであり、すなわち直列抵抗抵抗  $R_1$  が完全にキャンセルされていることを示している。

# 6 コルピッツ発振回路

本研究では Q 値増大手法をコルピッツ発振回路に用いるのが最適だと考え、以前発振周波数 4GHz の帰還なしコルピッツ VCO(Q 値増大手法なし)、帰還ありコルピッツ VCO(Q 値増大手法あり) の試作をしたがともに発振しなかった。そのため今回は目標周波数 3.1GHz としてコルピッツ VCO 単体 (Q 値増大手法なし) のみを設計する。以前より、発振しやすくするため発振トランジスタの  $g_m$  を 11.27mS から 38.14mS と変更した。また共振回路のインダクタのインダクタンス値を 2nH から 3nH に変更した。そして設計完了したコルピッツ VCO を図 7 に示す。シミュレーション条件を電源電圧 1.8V で供給電流 3mA とした。シミュレーションによる発振スペクトラムと位相雑音特性を図 8、図 9 に示す。結果から発振周波数は 3.1GHz、発振パワーは -7.55dBm、位相雑音はオフセット周波数 1MHz で -120dBc/Hz となった。

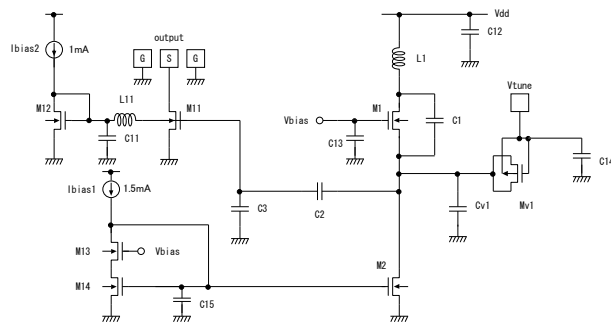


図 7: コルピッツ VCO

# 7 コルピッツ VCO の実測結果

設計した VCO を ROHM0.18 $\mu$ m プロセスで試作した。チップ写真を図 10 に示す。シミュレーションと同じ条件で実測を行った。実測による発振スペクトラムを図 11、位相雑音を図 12 に示す。実測結果から発振周波数は 3.28GHz、発振パワーは -20.58dBm、位相雑音はオフセット周波数 1MHz で -110dBc/Hz となった。シミュレーションと実測結果を比較すると、発振周波数は 180MHz、発振パワーは 13dB、位相雑音は 10dB の差があることを確認した。

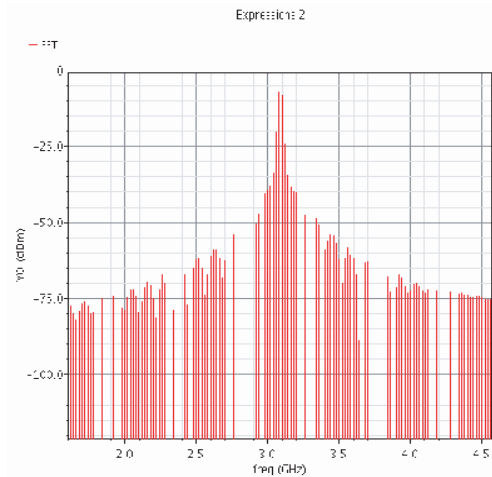


図 8: 発振スペクトラムのシミュレーション結果

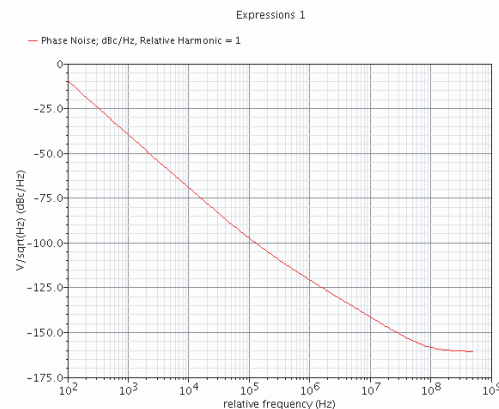


図 9: 位相雑音のシミュレーション結果

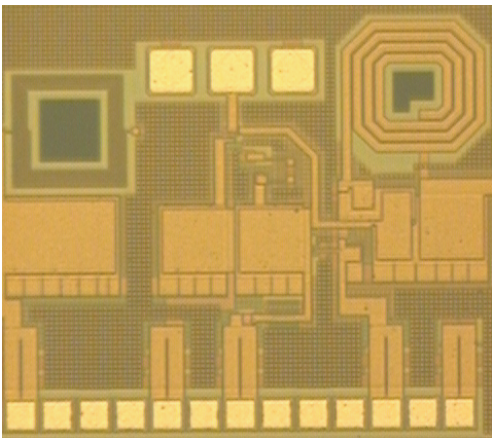


図 10: 試作したチップ写真

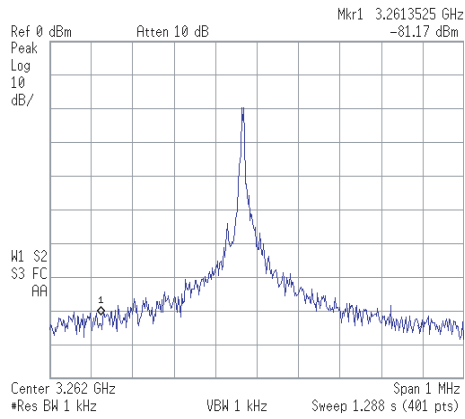


図 11: 発振スペクトラムの実測結果

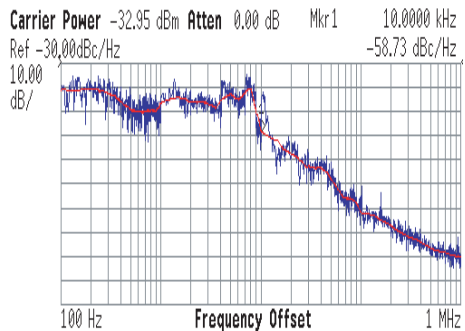


図 12: 位相雑音の実測結果

## 8 誤差原因の検討

コルピッツ発振回路の小信号等価回路を解き、各パラメータを代入したところインダクタのパラメータが発振パワーに大きく影響を与えることを確認した。インダクタの電磁界シミュレーションと実測による特性を確認するため、以前同じプロセスで作成された LNA の 0.6nH インダクタを用いた。その結果、実測とシミュレーションでインダクタの  $Q$  値が大きく異なることを確認した。特性が異なった原因を探ったところシリコン基板の導電率が設計値の 10S/m ではなく、5000S/m であることが四探針法による測定で明らかになった。基板導電率が高くなると渦電流損の影響が大きくなり、インダクタの  $Q$  値に影響及ぼす。基板導電率を 5000S/m にし、改めてシミュレーションを行ったところ、実測とシミュレーションは実測に大きく近付いた。またコルピッツ VCO で用いた 3nH インダクタでも基板導電率を 5000S/m に変更し、再度シミュレーションを行ったところ  $Q$  値が 10S/m のときに比べて大幅に下がったことを確認した。その結果を図 13 に示す。そして基板導電率を 5000S/m でのインダクタを回路シミュレーションに組み込み、シミュレーション結果を算出した。インダクタの基板導電率を修正前 (10S/m)、修正後 (5000S/m)、実測の各発

振特性をまとめた表を表に示す。

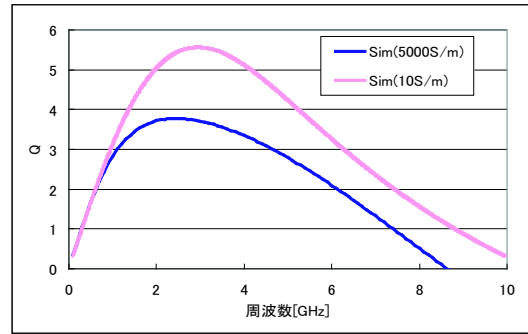


図 13: 基板導電率を変更した際の 3nH インダクタの  $Q$  値

表 1: 発振特性のまとめ

	発振周波数 [GHz]	発振パワー [dBm]	位相雑音@1MHz[dBc/Hz]
修正前	3.1	-7.55	-120
修正後	3.26	-15.58	-109
実測	3.28	-20.58	-110

## 9 結論

VCO の共振回路のインダクタに対して、結合インダクタを用いた  $Q$  値の増大手法を用いることを提案した。コルピッツ発振回路単体の設計を行い、ROHM0.18 $\mu$ m プロセスによりチップの試作を行った。試作チップの測定を行い、シミュレーションとの特性の違いを確認した。その結果、基板導電率の違いがインダクタ特性に影響を及ぼし、発振特性が異なった原因であることが明らかになった。

## 参考文献

- [1] Nam-Jin Oh, Sang-Gug Lee, *A Simple Model Parameter Extraction Methodology for an On-Chip Spiral Inductor*, ETRI Journal, Vol.28, No.1, February 2006.
- [2] John R. Long, *The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.32, No. 3, March 1997.
- [3] Yong-Zhong Xiong, Ming-Bin Yu, Guo-Qiang Lo, Ming-Fu Li, and Dim-Lee Kwong, *Accurate modeling of lossy silicon substrate for on-chip inductors and transformers design*, 2006, IEEE.