

整数計画法を用いた区分的線形抵抗回路の特性解析に関する研究

Characteristic Analysis of Piecewise-Linear Resistive Circuits Using Integer Programming

電気電子情報通信工学専攻 石黒 俊
Suguru ISHIGURO

あらまし 整数計画ソルバー CPLEX を用いた区分的線形抵抗回路のすべての特性曲線を求める方法を提案する。この方法は複雑なプログラミングを必要としないため実装が容易で、かつ非常に効率がよい。またこの方法によりすべての特性曲線が求められることを、CPLEX で使われているアルゴリズムの原著論文と CPLEX のマニュアルから証明する。

1. まえがき

近年、整数計画法の分野の飛躍的な発展により、10 年前までは NP 困難という呪縛から「絶対に」解けないと考えられていた大規模な整数計画問題を実用的な計算時間で解けるようになり、現代社会に大きな影響を与えている。文献 [1] では、代表的な商用ソルバーである IBM ILOG CPLEX (略して CPLEX) がいかに高性能であるかを実感できるエピソードが描かれている。

本研究室では、このような整数計画法の飛躍的な発展に着目し、連続系の問題、特に非線形回路の全解探索問題に対する CPLEX の応用に関する研究を行ってきた。特に文献 [2] では、混合整数計画問題を CPLEX で 1 回解くだけで非線形回路のすべての解 (動作点) が得られることを示した。この方法は複雑なプログラミングを必要としないため実装が容易で、かつ非常に効率がよい。

本論文では、CPLEX を用いた区分的線形抵抗回路のすべての特性曲線を求める方法を提案する。この問題は「点」ではなく「解曲線」「解集合」を求める問題となるため、文献 [2] の方法の単純な拡張ではできない難しい問題となる。本論文では、混合整数計画問題を CPLEX で 2 回解くだけですべての特性曲線が得られることを示す。またこの方法によりすべての特性曲線が得られることを、CPLEX で使われているアルゴリズムの原著論文 [3] と CPLEX のマニュアル [4] から証明する。

本論文の方法は、CPLEX の通常の使い方と比べて、以下の 2 点で大きな違いがあり、それが本研究の独創性となっている。

- 最適化を考えるのではなく、すべての実行可能領域を求めることを考える。この実行可能領域が解くべき連続系問題の解集合となる。

- CPLEX では通常、パラメータ `SolnPoolGap` を小さく設定することにより準最適解を求めるが、本手法では逆に `SolnPoolGap` を大きく設定することによりすべての解集合を求める。

2. CPLEX の解プール機能のアルゴリズム

整数計画ソルバー CPLEX には解プールという機能があり、この機能を用いることによって、制約条件を満たす解のうちある条件を満たす複数の解を求め、保存することができる。文献 [2] では、解プール機能を用いて混合整数計画問題を 1 回解くことにより非線形回路のすべての動作点を求める方法が提案されている。

CPLEX の解プール機能は文献 [3] のアルゴリズムを使っている [4]。このアルゴリズムの概略を Algorithm 1 に示す。整数計画法では分枝限定法を行うが、標準的な分枝限定法と Algorithm 1 との違いは探索木の生成の仕方にある。すなわち標準的な分枝限定法では、そのノードにおける線形緩和解が暫定解よりも悪ければそこから下は「探索済み」となるが、このアルゴリズムでは線形緩和解が暫定解よりも悪くても、最適解との差が $q\%$ 以内であればそのノードは分割され、そこから下も探索される。

CPLEX では、最適解との許容誤差すなわち Algorithm 1 の 6 行目の q はパラメータ `SolnPoolGap` (solution pool relative gap parameter) により決定される [4]。最適解との差が $q\%$ 以上の場合、6 行目の条件式が成立するので、そのノード解は解プールには保存されない。例えば `SolnPoolGap` を 0.01 に設定すると、最適解よりも 1% 以上悪い解は除去される。これにより、最適解との誤差が与えられたパーセンテージ以内の解を求めることができる。

Algorithm 1 CPLEX の解プール機能のアルゴリズムの概略

- 1: Reuse tree from phase I: $N_{\text{open}} \leftarrow N_{\text{stored}}$
 - 2: Reuse incumbent from phase I: Set of solutions:
 $S \leftarrow \{x^*\}$
 - 3: **while** $N_{\text{open}} \neq \emptyset$ **do**
 - 4: Choose a node n from N_{open}
 - 5: Solve LP at node n . Solution is $x(n)$ with objective $z(n)$.
 - 6: **if** $z(n) > z^* + q|z^*|/100$ **then**
 - 7: Fathom the node: $N_{\text{open}} \leftarrow N_{\text{open}} \setminus \{n\}$
 - 8: **else**
 - 9: **if** $x(n)$ is integer-valued **then**
 - 10: $x(n)$ is added to the pool of solutions if it is not a duplicate: if $x(n) \notin S$, then $S \leftarrow S \cup \{x(n)\}$
 - 11: **end if**
 - 12: Choose branching variable i such that it is not fixed by the local bounds of node n : $lb_i(n) < ub_i(n)$
 - 13: Build children nodes $n_1 = n \cap \{x_i \leq \lfloor x_i(n) \rfloor\}$ and $n_2 = n \cap \{x_i \geq \lceil x_i(n) \rceil + 1\}$
 - 14: $N_{\text{open}} \leftarrow N_{\text{open}} \cup \{n_1, n_2\} \setminus \{n\}$
 - 15: **end if**
 - 16: **end while**
-

CPLEX の通常の使い方では、`SolnPoolGap` を小さく設定することにより準最適解を求める。もし `SolnPoolGap` を非常に大きな値に設定すると、Algorithm 1 の 6 行目の条件式は常に成立しないので、実行可能ノードは一切除去されなくなる。本論文ではこの性質を利用する。

3. 提案手法

本論文では、図 1 に示すような n 個の区分的線形抵抗を含む 1 ポート回路のすべての駆動点特性曲線あるいは伝達特性曲線を求めることを考える。ポートの枝電圧を v 、枝電流を i とすると、図 1 の回路は一般に次のような区分的線形方程式で記述することができる [5], [6].

$$P \begin{bmatrix} g_1(x_1) \\ \vdots \\ g_n(x_n) \\ i \end{bmatrix} + Q \begin{bmatrix} x_1 \\ \vdots \\ x_n \\ v \end{bmatrix} - r = 0 \quad (1)$$

ただし $(x_1, x_2, \dots, x_n, v, i)^T \in \mathbb{R}^{n+2}$ は変数ベクトル、 P 、 Q は $(n+1) \times (n+1)$ 定数行列、 $r = (r_1, r_2, \dots, r_{n+1})^T \in \mathbb{R}^{n+1}$ は定数ベクトル、 $g_i(x_i)$ ($i = 1, 2, \dots, n$) は図 2 に示すような区分的線形関数である。式 (1) が線形方程式と

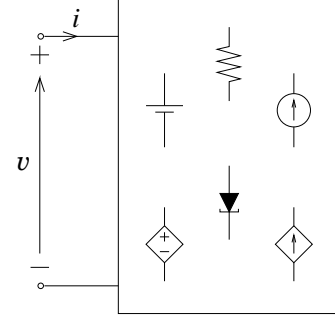


図 1 1 ポート区分的線形回路.

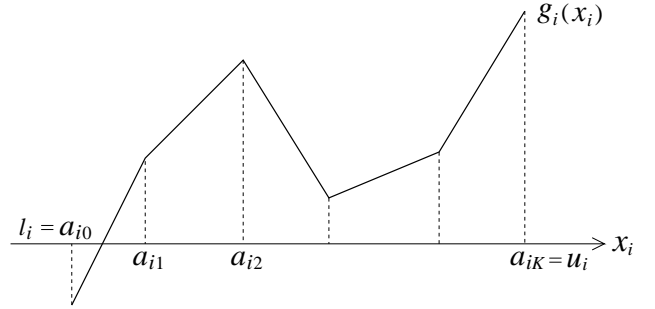


図 2 区分的線形関数

なるような領域を線形領域と呼ぶことにする。

文献 [2] では、図 2 のような区分的線形関数を 0-1 変数 μ_{ij} ($i = 1, 2, \dots, n; j = 1, 2, \dots, K-1$) と線形不等式により表現する方法が示されている。ここで、次のような混合整数計画問題を考える。

最大化/最小化 v

制約条件:

$$P \begin{bmatrix} y_1 \\ \vdots \\ y_n \\ i \end{bmatrix} + Q \begin{bmatrix} x_1 \\ \vdots \\ x_n \\ v \end{bmatrix} - r = 0$$

$$x_i = a_{i0} + \sum_{j=1}^K \delta_{ij}$$

$$y_i = b_{i0} + \sum_{j=1}^K \frac{b_{ij} - b_{ij-1}}{a_{ij} - a_{ij-1}} \delta_{ij} \quad (2)$$

$$\Delta_{i1} \mu_{i1} \leq \delta_{i1} \leq \Delta_{i1}$$

\vdots

$$\Delta_{ij-1} \mu_{ij-1} \leq \delta_{ij-1} \leq \Delta_{ij-1} \mu_{ij-2}$$

$$\Delta_{ij} \mu_{ij} \leq \delta_{ij} \leq \Delta_{ij} \mu_{ij-1}$$

$$\Delta_{ij+1} \mu_{ij+1} \leq \delta_{ij+1} \leq \Delta_{ij+1} \mu_{ij}$$

\vdots

$$0 \leq \delta_{iK} \leq \Delta_{iK} \mu_{iK-1}, \quad i = 1, 2, \dots, n$$

式 (2) の制約条件は式 (1) と等価であることが容易に確認できる。

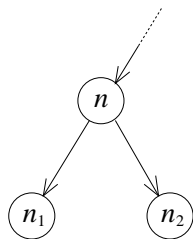


図3 探索木の一部

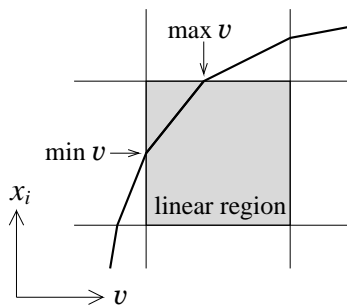


図4 式(2)の解と特性曲線の関係

本論文で提案する方法は、式(2)に解プール機能を用いた CPLEX を適用するものである。このとき、パラメータ SolnPoolGap を非常に大きな値に設定する (SolnPoolGap のデフォルト値は $1.0e+75$ なので、デフォルト値に設定すればよい)。

直感的には、式(2)を分枝限定法で解くと、探索木の生成の過程で実行可能ノードは(その下のノードに最適解がないと分かった時点で)次々と除去されるので、この方法ですべての特性曲線が得られるようには見えない。しかし上記のようなパラメータ設定を行うことにより、最終的に特性曲線を含むすべての線形領域上で式(2)の線形緩和問題が解かれる。

例えば、図3は探索木の一部で n_1, n_2 は線形領域に対応し、少なくとも一つは特性曲線を含むものとする。 n_1 と n_2 の先祖ノードはすべて実行可能であり、また2章の最後で述べたように、SolnPoolGap をデフォルトに設定すれば実行可能ノードは除去されないで、必ずノード n にたどり着き、そこで分割される。その結果ノード n_1, n_2 上で線形緩和問題が解かれる。

線形領域上では式(2)は線形計画問題となるので、式(2)を解くことにより、特性曲線を含む各線形領域に対して、その領域における特性曲線の両端点を得られる(図4参照)。これらの端点を結ぶことにより、すべての特性曲線を求めることができる。

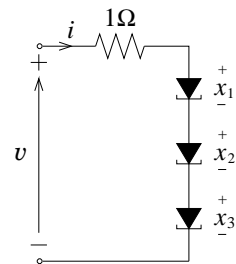


図5 1ポート回路(例1)

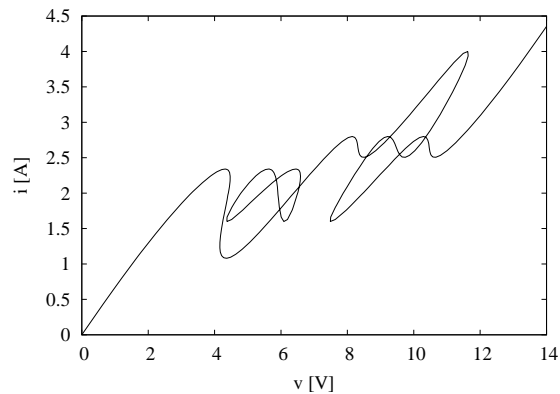


図6 特性曲線(例1)

4. 数値例

例1: 図5の回路に対し、区分的線形関数の線分数を $K = 50$ として本手法を適用した結果を図6に示す。計算時間は0.1秒だった。

例2: 図7の回路に対し、 $K = 30$ として本手法を適用した結果を図8に示す。文献[5],[6]と同じ特性曲線が得られている。計算時間は0.9秒だった。

例3: 文献[6]の Example 4 で解かれている100個のトンネルダイオードを含む回路に対し、 $K = 50$ として本手法を適用した結果、わずか366秒ですべての特性曲線を得ることができた。

例4: 本論文で提案した方法は特性解析だけでなく変動解析にも応用できる。文献[7]の例2で解かれている回路に $n = 10, K = 100$ として本手法を適用し、その結果得られた10次元空間における解集合を (x_7, x_9) 平面に投影したものを図9に示す。複雑な形状の解集合が得られていることが分かる。計算時間は60秒であった。

謝辞 本研究室に文献[1]を謹呈して頂き、整数計画法の驚異的発展について御教示頂きました東京工業大学名誉教授(元中央大学教授)の今野浩先生に心から御礼申し上げます。

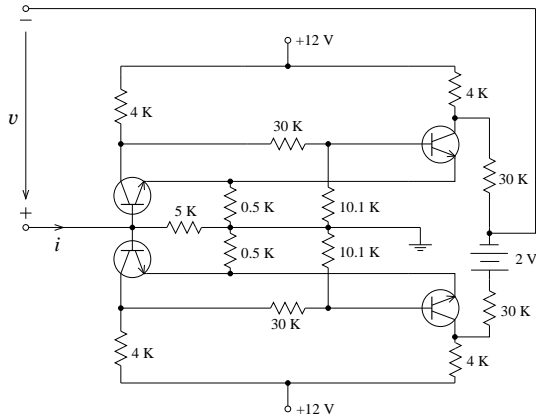


図 7 1 ポートトランジスタ回路 (例 2)

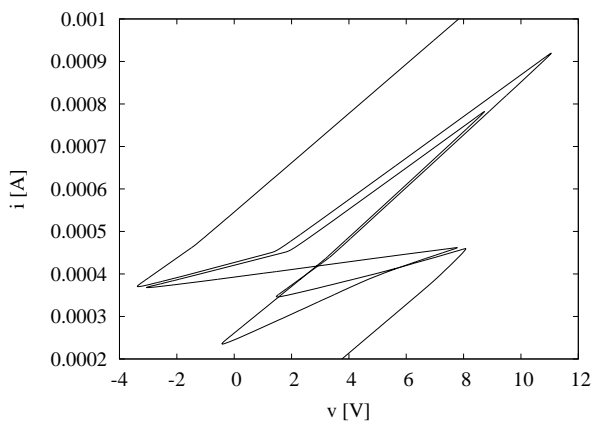


図 8 特性曲線 (例 2)

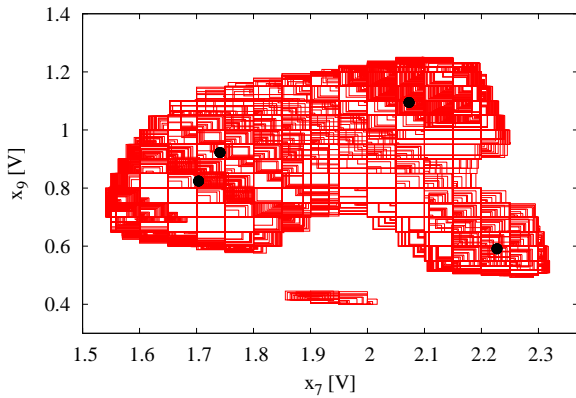


図 9 変動解析の結果 (例 4)

参考文献

- [1] 今野 浩, 役に立つ一次式—整数計画法「気まぐれな女王」の 50 年, 日本評論社, 2005.
- [2] K. Yamamura and N. Tamura, "Finding all solutions of separable systems of piecewise-linear equations using integer programming," *J. Computational and Applied Mathematics*, vol.236, issue 11, pp.2844–2852, May 2012.
- [3] E. Danna, M. Felon, Z. Gu, and R. Wunderling, "Generating multiple solutions for mixed integer programming problems,"

in *Integer Programming and Combinatorial Optimization*, Proc. of 12th International IPCO Conference, Ithaca, NY, USA, June 25–27, 2007, pp.280–294, Springer-Verlag, Berlin, Heidelberg, 2007.

- [4] IBM, IBM ILOG CPLEX Optimization Studio, CPLEX User's Manual, Version 12, Release 6, http://www-01.ibm.com/support/knowledgecenter/SSSA5P_12.6.2/ilog.odms.studio.help/pdf/usrcplex.pdf
- [5] K. Yamamura and T. Ohshima, "Finding all solutions of piecewise-linear resistive circuits using linear programming," *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, vol.45, pp.434–445, April 1998.
- [6] K. Yamamura and S. Tanaka, "Finding all solutions of piecewise-linear resistive circuits using the dual simplex method," *Int. J. Circuit Theory Appl.*, vol.30, no.6, pp.567–586, Nov. 2002.
- [7] 山村清隆, 島田雅之, 湯浅拓也, "集合値写像により記述される区分的台形回路のすべての解を求めるアルゴリズム," *電子情報通信学会論文誌 (A)*, vol.J84-A, no.6, pp.798–808, June 2001.

研究業績

学術雑誌 (査読付き)

- [1] K. Yamamura, S. Ishiguro, and H. Taki, "Characteristic analysis and tolerance analysis of nonlinear resistive circuits using integer programming," *IEICE Trans, Fundamentals*, vol.E99-A, no.3, March 2016.
- [2] K. Yamamura and S. Ishiguro, "Finding all solution sets of piecewise-linear interval equations using integer programming," *Reliable Computing 採録決定*.

国際会議 (査読付き)

- [1] S. Ishiguro, D. Koyama, and K. Yamamura, "Statistical tolerance analysis of nonlinear circuits using integer programming and set-valued functions with probability distribution," *Proc. 2014 IEEE Workshop on Nonlinear Circuit Networks*, pp.14–17, Tokushima, Japan, Dec. 2014.
- [2] K. Yamamura and S. Ishiguro, "Finding all DC solutions of nonlinear circuits using parallelogram LP test," *Proc. 22th IEEE European Conference on Circuit Theory and Design*, pp.1–4, Trondheim, Norway, Aug. 2015.
- [3] T. Okamoto, S. Ishiguro, and K. Yamamura, "Complete analysis of piecewise-linear resistive circuits using CPLEX," *Proc. 2015 IEEE Workshop on Nonlinear Circuit Networks*, pp.30–33, Tokushima, Japan, Dec. 2015.
- [4] T. Shiraishi, S. Ishiguro, and K. Yamamura, "Characteristic analysis of piecewise-linear resistive circuits using SCIP," *Proc. 2015 IEEE Workshop on Nonlinear Circuit Networks*, pp.34–37, Tokushima, Japan, Dec. 2015.

研究会資料 (査読付き)

- [1] 石黒 俊, 滝 裕至, 山村清隆, "整数計画法を用いた非線形抵抗回路の特性解析と変動解析," 第 27 回 回路とシステム淡路島ワークショップ論文集, pp.318–323, Aug. 2014.
- [2] 石黒 俊, 高宮将弘, 山村清隆, "平行四辺形 LP テストを用いた非線形回路の全解探索法," 第 28 回 回路とシステム淡路島ワークショップ論文集, pp.172–177, Aug. 2015.

研究会資料 (査読なし)

- [1] 小山大輝, 石黒 俊, 山村清隆, "Excel を用いた区分的線形回路の全解探索," 2015 年電子情報通信学会ソサイエティ大会講演論文集, A-2-20, Sept. 2015.