

## 0.1 $\mu$ m 世代低電力化 VLSI のシステム・回路技術並びに設計技術に関する研究

研究代表者 研究員 杉本 泰博 (中央大学理工学部電気電子情報通信工学科)  
共同研究者 研究員 榎本 忠儀 (中央大学理工学部情報工学科)  
共同研究者 研究員 築山 修治 (中央大学理工学部電気電子情報通信工学科)  
共同研究者 研究員 古屋 清 (中央大学理工学部情報工学科)

### 1 はじめに

2006 年頃には 0.1 $\mu$ m のルールを用いて設計された VLSI が、広く世の中に出回る事が予想されている。しかしながら現在の技術の延長で単純にこれが実現されるわけではなく、多くの技術課題を解決する必要があることも事実である。

0.1 $\mu$ m 世代の VLSI に求められる性能は、1V 程度の低電源電圧で動作しかなりの低消費電力化が達成されている事、5GHz 相当の高周波・高速性能を有する事、12 ビット精度以上の高精度・高品質性能を有する事、10 億個以上のトランジスタを集積している事、等である。すなわち、多くのトランジスタが集積されているにもかかわらず、全体としては高速性、高精度、低消費電力化が極限まで達成されている事が必要である。

ところがチップ上に作り込まれる個々のトランジスタには性能の‘ばらつき’が存在し、これを集積した VLSI 全体の性能も大きくばらついてしまう、という問題がある。VLSI 全体の性能が大きくばらつくという事は、VLSI を用いるシステム全体の性能をきちんと規定できないということであり、したがって高度な電子システムが構築できない、ということでもある。

現状では LSI の性能もそれほど高くはなくこの問題も一部を除いて顕在化してはいないが、今後の VLSI においては高度な性能を求められるわけであり、この種の問題が今後 VLSI のシステム・回路技術並びに設計技術に大きく影響して来る事が予測され、問題視されるようになって来た。

我々はこのような素子ばらつきの問題に対して今後の VLSI 技術の方向性を示すべく共同研究を行って来た。以下に研究結果を示すが、素子ばらつきを統計的な観点から見直すことにより、これを低減する手法を提案するに至っている。

### 2 アナログ特性を統計的手法により改善する方法について

0.1 $\mu$ m 世代においては、アナログ機能とデジタル機能の混載が通常である。現在でもそうであるが、この傾

向は更に進む。多くの電子システムは、アナログ量を取込みこれをデジタルに変換して高度な処理を行っている。デジタル部において高度な処理を行うには、与えるデジタルデータがアナログ量を高精度に変換したデータとなっていなければ意味がない。

アナログ量を高精度にデジタル変換する場合の障害は、前述の通り、素子ばらつきである。例えば MOS トランジスタのスレッシュホールド電圧 ( $V_{th}$  と表す) のばらつきを 1% 以下に抑える事は容易な事ではないし、容量の比のばらつきを 0.1% 以下に抑える事もまた容易な事ではない。しかもこの素子ばらつきは、LSI の加工技術が進み微細化が進展すると共に増大する傾向がある。したがって素子ばらつきを容認した上で、しかも 0.1% 以上の精度を確保するための回路・設計技術の開発が必要である。

そこで我々は図 1 に示す方法で、アナログ/デジタル変換 (A-D 変換) の精度を向上させる事を新たに提案し、その効果を C 言語を使った手作りプログラムによる回路シミュレーションにて確認する事にした。

図 1 における ADC (アナログ/デジタル変換器) は画像信号を扱うパイプライン形の構成を取るものであり、これは従来から開発されている通常の ADC である。ADC の内部回路に用いられる素子のばらつきにより図 2 に示すゲイン誤差が発生し、通常の ADC においては約 0.1% 程度の精度しか保証できない。この精度をいかに上げるかが世の中における開発の重要テーマとなっているものである。

我々の提案する方法は、デジタル乱数発生器と DAC (デジタル/アナログ変換器) を用いて、入力側

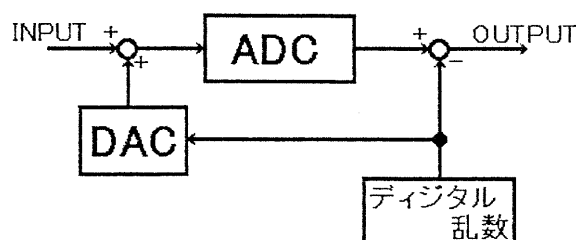


図 1 ADC 誤差分散法のブロック構成

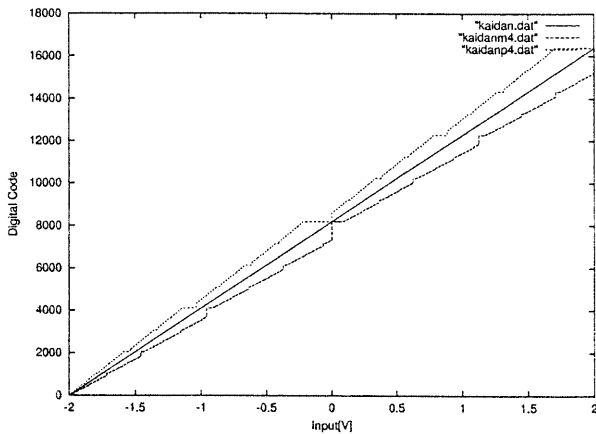


図2 ゲイン誤差±0.4%時の ADC 出力特性

で信号とランダムな振幅成分をアナログ的に加え合わせて A-D 変換し、その出力から先に加えたランダム成分を引き去る、というものである。この場合、DAC の精度は十分に確保されている。DAC の精度確保が比較的容易に達成される事は現在までの開発で実証済である。

ディジタル乱数を入力信号に加えて A-D 変換を行うという事は、ADC 単体に存在するゲイン誤差の成分（周波数軸で考えると特定の周波数にそのエネルギーが集中しているという事）を、ある範囲の周波数に一樣に分散させるという事を意味する。これは CDMA に代表されるスペクトル拡散通信方式に類似した考え方を導入した事を意味している<sup>[1]</sup>。

図3 にゲイン誤差が+0.4%の場合に、ADC 単体の出力データを周波数成分の分布という形で表したスペクトラムを示した。この場合、ADC に入力した信号の周波数は 5MHz（基本波成分）であり、その高調波成分との比は 40 数 dB（≒0.4%）となる。これは ADC の精度として 7~8 ビット相当という事になる。

この ADC を用いて図1を構成し、出力データのスペクトラムを観察したのが図4である。この場合、DAC の精度は 13 ビット相当とした。図4を見ると、図3に

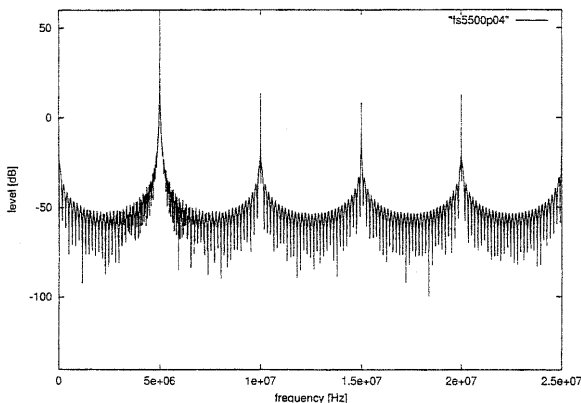


図3 ゲイン誤差±0.4%時の ADC 出力の周波数特性

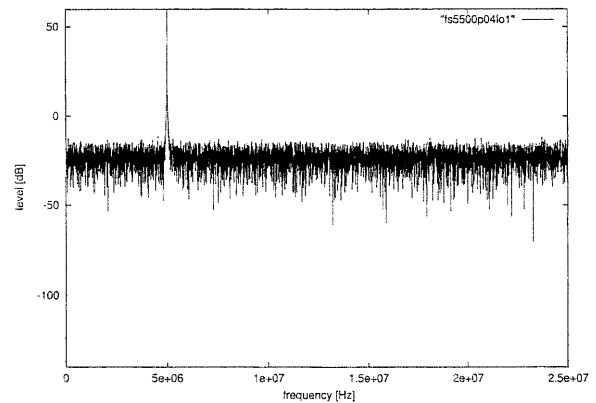


図4 ゲイン誤差±0.4%時に誤差分散法を適用した場合の ADC 出力の周波数特性

おいて特定の周波数に集中していた誤差成分のエネルギーが分散され、消滅している事がわかる。5MHz の信号と雑音のエネルギーの比は 80 数 dB となり（13 ビット精度相当）、ダイナミックレンジが大幅に改善されている事がわかる。

以上はディジタル通信方式と類似の考え方、あるいはディジタル分野で応用されている考え方を適用して、アナログ機能の高精度化を計ることが出来た、という事を意味するものであり、今後アナログ機能を高度化する際の手法として一考に値するものである。

### 3 ディジタル乱数の発生手法について

図1の構成において使用したディジタル乱数は、振幅の分布は正規分布で周波数成分の分布は一樣な白色雑音という単純なものであった。乱数発生器として最適なものを使用すれば、出力データとしても最適なものが得られると考え、ランダムパターン生成器のランダム性についての検討を行った。集積回路内に組み込む事を前提としているので、簡単でランダム性の良い回路の開発が必要である。

ここでは、1次元、2値、線形なセルラオートマタ（CA）形ランダムパターン生成器の構成により検討を行った。CA は線形の次状態関数あるいはその行列表現で表すことが出来る。最も簡単な最隣接セルとだけ結合を持つ CA のセル  $j$  の次状態関数は、

$$x_j = x_{j-1} + a_j x_j + x_{j+1} \quad (1)$$

により表される。ここに  $a_j \in \{0, 1\}$  は自己の状態値を次状態関数として参照するか否かを表す係数であり、CA が最長または十分に長い周期で動作するように決められる。n セルよりなる CA の次状態関数を (1) 式を用いて状態ベクトルとして行列表現した場合、多くの列の重み  $w$  が 2 となるのでこれを  $w=2$  の CA と呼ぶ。

w=2のCAの拡張としてw=3以上のCAを考える事が出来るが、今回の検討ではランダム性の良さとして我々が提案している遷移被覆度を、w=2のCAの場合とw=3のCAの場合とで比較検討して調べている。なお遷移被覆度とは、k個の状態変数を選んだとき、k次元部分空間中で各状態からどれだけの異なる状態への遷移があるかを表す値である。k次元部分空間中には $2^k$ 個の状態があるので、可能な状態遷移の数、すなわち遷移被覆度の理想値は $2^k$ である。

表1にn=16、w=2のCAとw=3のCAの平均遷移被覆度を示した。両者の遷移被覆度にはk=5以上で大きな差があることがわかる。以上より良好なランダム性を求める場合には、w=3以上のCAが必要であることが明らかとなった。

今回のシミュレーションでは、図1のデジタル乱数発生器としてこのw=3以上のCAを用いてはいない。今後このCAの機能をプログラムに組み込み検討して行く事が課題である。

#### 4 ばらつきを考慮したマクロセルの最適化設計手法

上述のように $0.1\mu\text{m}$ 世代では素子ばらつきの影響が増大すると考えられるので、回路設計あるいはレイアウト設計においてもこれらを考慮した設計手法が必要となる。

そこでまず、組合せ回路におけるクリティカルパス遅延の分布を見積もる手法<sup>[2]</sup>について検討を行った。図5に示す回路により考察する。図の回路においては信号xと信号yの信号伝達時間(遅延)が信号bの遅延に大きく依存し、信号xと信号yの遅延の間には大きな相関がある、と言える。ところが従来方法ではこの相関を考慮しておらず、精度において限界があったと言える。

我々はこの種の相関を考慮し、加えて各トランジスタ遅延のばらつきに関する相関も考慮した、統計的遅延解析手法を提案した<sup>[3]</sup>。この際さらに、この相関を考慮し

表1 CAの平均遷移被覆度の比較

k	w = 2 のCA	w = 3 のCA	理想値
2	4.0000	4.0000	4
3	7.5714	8.0000	8
4	12.4000	15.9121	16
5	14.8571	31.0476	32
6	11.2857	58.2178	64
7	7.0000	102.1175	128
8	4.0000	167.1260	256

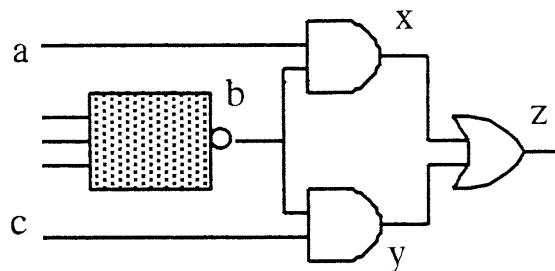


図5 xとyの遅延に相関がある場合の回路構成

た手法を利用していくつかの偽パス(false path)の遅延を除去する手法の構築も行った。偽パスとは、実際に信号をそのパスに沿って伝搬するような入力組が存在しないようなパスで、これを除去しないと正確なクリティカルパス遅延の計算は出来ない。

レイアウト設計に関しても、次の条件を満たす各トランジスタの形状およびマクロセルのレイアウトデータを自動生成するプログラムの開発を目指した。

- (1) クリティカルパス遅延dがL以下の、確率Y(L)が指定された値F以上である。ここでクリティカルパス遅延dの分布は、出力されるレイアウトデータから得られる各トランジスタおよび配線のばらつきにより決定する。
- (2) 消費電力が最小。信号値の変化率、各ゲートの稼働率、各トランジスタの形状を用いて充放電および貫通電流による消費電力を計算。
- (3) マクロセルの面積が最小。トランジスタの配置および形状を用いて評価。

本システムの概略設計は終了しており、各トランジスタのサイズを動的に修正して行くアルゴリズムを構築した<sup>[4]</sup>。

#### 5 デジタルLSIの高性能化

このように素子ばらつきを考慮しながらも、将来のVLSIの性能はこれを大幅に上げる事が必要である。特に携帯形機器の普及がおおきな鍵となる将来の通信システムにおいては、VLSIの低消費電力化が必須の要件である。

我々は携帯TV電話向けに、高速「2ステップ中断法」動きベクトル検出アルゴリズムを開発し、これを用いた動きベクトル検出回路を設計した。2ステップ中断法は、全探索法なみの画像の品質を維持したまま、処理量を全探索法の24.8%に、中断法の60.2%に削減できる。0.13 $\mu\text{m}$ CMOS技術を用いてQCIF用累算形差分絶対値和回路を設計した結果、従来のワレスの木を用いたアレ形差分絶対値和回路の消費電力(6.6mW)に比し、本

回路では約 1/55 の消費電力 (121 $\mu$ W) が得られている<sup>[5]</sup>。

その他、高性能 LSI の例として、

- (1) 0.25 $\mu$ m HEMT を用いた MUX・DEMUX<sup>[6]</sup>。
- (2) 基板電位制御 CMOS リングオシレータ(VCO)を用いた PLL<sup>[7]</sup>。

の設計を行い、高性能化が達成される事を確認している。

## 6 おわりに

以上述べたように、0.1 $\mu$ m 世代の VLSI には、素子ばらつきの影響を大きく受ける環境下において、なお低消費電力、低電圧、高速化などの高い性能が求められる、と予想される。今回の我々の研究は、この問題に対し、一定の方向付けを与える事が出来たのではないかと考えている。最後に、本研究を進める上で中央大学理工学研究所の多大なる御支援を頂いた。ここに記して感謝する。

## 参 考 文 献

- [1] J.B.Groe and L.E.Larson, "CDMA Mobile Radio Design," Artech House Publishers, 2000.
- [2] M.Berkelaar, "Statistical delay calculation, a linear time method," Proc. Int. Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU97), pp.15-24, 1997.
- [3] 築山修治, 田中正和, 福井正博, "組合せ回路におけるクリティカルパス遅延のばらつき見積もり手法" 第 13 回回路とシステム(軽井沢)ワークショップ論文集, pp.131-136, 2000.
- [4] 玉井大樹, 西本周二, 築山修治, 田中正和, 福井正博, "マクロセルの最適レイアウト合成システム", 信学技法, VLD99-128, pp.85-91, 2000.
- [5] 小田部, 榎本, "2ステップ高速中断法動きベクトル検出アルゴリズムの開発と低消費電力 CMOS 動きベクトル検出回路の設計", 信学技法, ICD003, pp.85-91, 2000 年 8 月。
- [6] 森田, 鹿野, 榎本, "0.25 $\mu$ m-HEMT を用いた MUX・DEMUX の設計", 信学総合大会, 講演論文集エレクトロニクス 2,C-10-11, p.69, 2000 年 3 月。
- [7] 早船, 榎本, "バックゲートバイアス制御リングオシレータを用いた CMOS PLL の設計", 信学総合大会, 講演論文集エレクトロニクス 2, C-12-

58, p.153, 2000 年 3 月。